



行政院所屬各機關因公出國人員出國報告書

(出國類別：其他)

赴日本大阪出席工程與應用科學國際 研討會(2017 ISEAS)出國報告

服務機關：經濟部標準檢驗局

職稱姓名：洪技士浚譯

出國地點：日本大阪

出國期間：中華民國 106 年 8 月 13 日至 8 月 17 日

報告日期：中華民國 106 年 11 月 6 日

目錄

壹、 前言及目的.....	5
貳、 研討會行程.....	6
一、 研討會報到	7
二、 參加專題演講(Keynote Speech)	9
三、 論文發表	11
四、 其他論文資料	15
參、 心得與建議.....	25
附件、 會議資料.....	27

圖目錄

圖 1 2017 ISEAS 於日本大阪舉辦	6
圖 2 研討會議地點	7
圖 3 研討會會場	8
圖 4 會議室配置圖	8
圖 5 PIC16F84 MCU architecture	12
圖 6 PIC16F84 data memory block	13
圖 7 Special function registers	13
圖 8 Architecture of ISP Programmer	13
圖 9 Layout of PIC16F84	14
圖 10 論文發表會場	14
圖 11 Binary Search 演算法	16
圖 12 數位控制振盪器電路	17
圖 13 應用於 LoRaWAN 的雙跳躍中繼匝道	19
圖 14 相關係數 ρ 與調變參數 λ 之關係	20
圖 15 BEP 和均值信噪比	22

表目錄

表 1 出國行程表.....	6
表 2 調整階段的模擬及量測結果.....	17
表 3 數位控制振盪器性能總結.....	18
表 4 各溫度及濃度參數實驗結果.....	23

壹、前言及目的

本次出國案係依據 105 年度「離岸風力機檢測標準與驗證發展計畫」科發基金計畫之出國計畫第 6 項規劃辦理。執行計畫內容為赴日本大阪參加「International Symposium on Engineering and Applied Science 國際研討會，蒐集最新的技術資料及技術交流」，出國人員為經濟部標準檢驗局洪技士浚譯，出國期間自 2017 年 8 月 13 日起至 8 月 17 日止。

International Symposium on Engineering and Applied Science 2017 國際研討會係由 Higher Education Forum (HEF) 組織在日本大阪市之大阪府立國際會議場(Osaka International Convention Center)舉行，範疇領域包含能源工程、電子電力工程、計算機科學、生醫工程、土木工程、環境科學、經濟及教育等跨領域的國際學術研討會。

本次至日本大阪市參與此次研討會之主要目的為發表本局與臺灣海洋大學資訊系嚴副教授茂旭等人合著「VLSI Implementation of PIC16f84 MCU with In-system Programming」應用論文，藉此機會和各國專家學者深入研討與交流。

近年來我國政府積極推動綠能產業發展，為提升我國能源自主、新興綠能產業，落實 2025 年非核家園政策目標，政府已於去（105）年 10 月 27 日通過「五加二創新產業」之一的「綠能科技產業創新方案」，在再生能源系統熱烈發展的情況下，位居嵌入式系統要角的 MCU 也逐漸受到重視。透過此次研討會發表 MCU 相關論文與各國專家學者討論與交流，並蒐集離岸風電、電力電子、EMC 等技術最新發展技術，提供本局政策規劃和業務推動之參考。

貳、研討會行程

本次出國期間自 2017 年 8 月 13 日起至 8 月 17 日止，含路程共計 5 日。出國行程與時間安排如下表 1：

表 1 出國行程表

起訖日期	天數	到達地點	詳細工作內容
8 月 13 日(日)	1	日本大阪	啟程，搭機前往日本大阪。
8 月 14 日(一) 至 8 月 16 日(三)	3	日本大阪府 立國際會議 場	參加「ISEAS 2017 國際研討會」，蒐集最新的技術資料及技術交流
8 月 17 日(五)	1	臺灣桃園	回程，搭機返回臺灣。



圖 1 2017 ISEAS 於日本大阪舉辦

一、 研討會報到

此次 ISEAS 國際研討會於日本大阪之「大阪國際會議中心」(5 Chome-3-51 Nakanoshima, Kita Ward, Osaka, Osaka Prefecture 530-0005, 如圖 2 所示)舉行，由 Higher Education Forum (HEF)所負責。HEF 為一舉辦國際學術會議的組織，以國際學術會議加強高等教育的發展，促進知識傳播，為學者和專業人士提供交流最新研究成果的平台。範圍涵蓋自然科學及社會學科，包括工程、應用科學、生命科學、商業、教育及社會科學等。



圖 2 研討會議地點

研討會於 2017 年 8 月 14 日開始，為期三天的跨領域學術研討會會議。第一天為大會準備會前事宜；第二天早上 9 時前完成報到手續及領取會議相關資料後(如圖 3 所示)，即開始研讀會議相關資料與了解會場環境，並快速瀏覽各場次的論文題目，以安排準備聆聽的會議場次。會議內容包含 Keynote Speech、Oral Speeches、Poster Sessions 等，共有 3 間會議室 1005 會議室、1006 會議室及 1007 會議室作為 Oral Speeches 及 Keynote Speech 進行的場地，1004 會議室為 Poster Sessions，場地配置如圖 4 所示。



圖 3 研討會會場

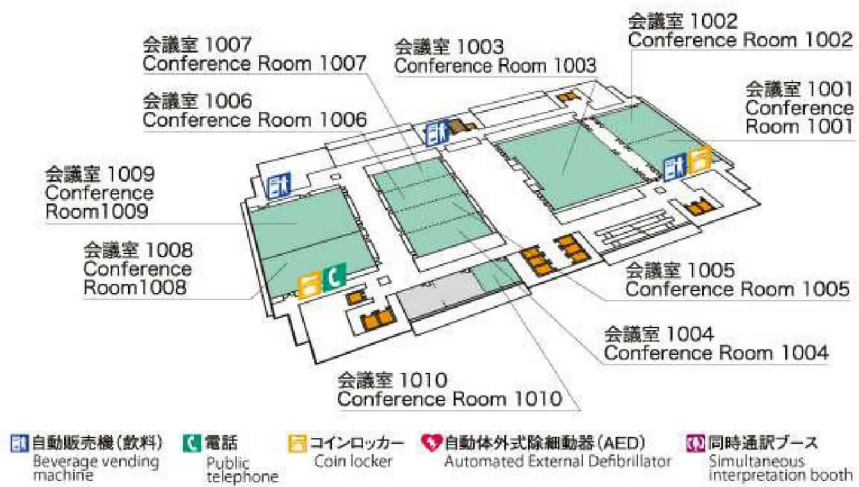


圖 4 會議室配置圖

此次參與研討會著重於計算機科學、電力電子工程及能源工程等主題，同時也撥空旁聽土木工程、環境工程及生醫工程方面的場次，利用機會接觸不同領域的新知識技術。

二、參加專題演講(Keynote Speech)

大會在 Oral Presentation 間安排兩場 Keynote Speech。題目分別為自然科學類的主題’’High-Level Development of Real -Time Distributed Applications’’及社會科學類的主題’’Riding the Burnout Wave: A Sociological Approach to Understanding and Tackling Burnout’’，以下分別說明:

1. 主題：’’High-Level Development of Real-Time Distributed Applications’’，演講者為德國明斯特大學(Muenster University)資訊工程系的 Sergei Gorlatch 教授，Gorlatch 教授在國際期刊、書籍上已有約 200 篇的著作，他主要的研究領域在於平行、分散式、網格及雲端運算，近期的重點研究成果為在網路通訊上的即時框架(Real-Time Framework)發展，本場演講即是這方面的分享。近年來逐漸興起的聯網多媒體應用程式稱作線上即時互動應用程式(Real-Time Online Interactive Applications, ROIA)，ROIA 為一聯網的應用程式可以連接數量龐大的用戶讓使用者可以在線上作即時互動，典型的 ROIA 例子為電腦線上遊戲、數位學習等，主要特色為高效能、服務品質(Quality of Service, QoS)的需求，例如用戶輸入的反應時間短、頻率狀態升級、提高應用程式的用戶容載量等等。講師提出未來基於互聯網 ROIA 應用的兩個挑戰，第一個是當多個行動設備存取 ROIA 應用程式時，使用行動雲端計算來實現高效能表現。第二個是透過採用軟體定義網路(Software-Defined Networking, SDN)的新興技術來管理 ROIA 應用程式的動態 QoS 需求。

2. 主題：’’Riding the Burnout Wave: A Sociological Approach to Understanding and Tackling Burnout’’，本場演講為壓力與情緒控管、如何在工作與生活間取得平衡的主題，講師為日本埼玉大學(Saitama

University) 的 Adriana E.Edwards Wurzinger 副教授，Adriana E.Edwards Wurzinger 副教授同時是歷史、社會及人類學家，平常的教學內容包括歷史上的秘密結社、海盜歷史文學、中古世紀歐洲歷史、歐洲女巫史、社會認同與人類情緒及全球文化等等，另外也擅長衝突排解及溝通技巧方面的領域。這場演講利用社會學原理探討造成人類倦怠的元素，人們在生活中面對工作、家庭、人際關係等各式各樣的情況，有時千篇一律令人感到無趣，有時四處碰壁使人感到挫折，久而久之對生活感到麻痺倦怠感也油然而生。倦怠是一種喪失動力、無聊、缺少興致的心理狀態，當一個人長期處於壓力與缺少興致時，就會出現這種內在的情緒狀態，常見的症狀包括憂鬱或急躁易怒、消化不良、全身乏力、身心俱疲等。這是現代社會很常見的精神疾病，常因為工作壓力而引起，因此要克服倦怠其實就是要好好面對壓力，與壓力作朋友。講師透過互動的方式讓聽眾分享自己的生活經驗，以現場聽眾的經驗當例子，給予建議並讓大家一起思考與體會，或許每個人造成壓力的來源都不一樣，但是面對壓力的方式是相同的，講師想傳達出的精神是改變自己的心態，以樂觀正面的角度來看待讓人感到壓力的事情，壓力雖然令人感到不舒適，但卻是引導人們進步與邁向專業的特效藥。雖然是個簡單甚至是老生常談的道理，但要是能細細體會並掌握之確實會對人生帶來莫大的助益。

三、論文發表

2017 ISEAS 國際研討會的論文發表類型分為口頭報告發表(Oral Presentation)及海報張貼發表(Poster Sessions)等兩種方式，舉行口頭報告發表的時間分別為第二天上午 9 時起至下午 4 時 45 分止、第三天上午 9 時 30 分起至下午 2 時 30 分止，共計有 17 場不同場地分別發表論文，每場有 6 篇論文；而舉行海報張貼發表的時間則分別為第二天上午 10 時起至 11 時止、下午 2 時起至 4 時 30 分止，及第三天上午 10 時起至 11 時止，共計有 3 場不同場地分別發表論文，每場有 30 篇論文。

本局共同發表的論文採取利用技術海報張貼的方式辦理，這次參與 ISEAS 研討會所發表論文的主題為”VLSI Implementation of PIC16f84 MCU with In-system Programming” (論文編號：ISEAS-0057)，論文研究係有關在太陽光電系統，建構一個載具，能控制系統需要的週邊元件，且能穩定執行軟體及演算法。並設計出此微控制器 (Micro Control Unit, MCU) 的線上燒錄(In-System Programming; ISP) 電路，如此使用者能方便地在記憶體或現場可程式化閘陣列 (Field Programmable Gate Array, FPGA) 燒錄程式(*.hex)，並在啟動 MCU 後，自動地將記憶體或 FPGA 中儲存的資料寫入 PIC 來執行。

PIC 架構，內部主要的區塊分為控制器 (Controller)、算術邏輯單元 (Arithmetic Logic Unit, ALU)、匯流排 (Data Bus) 等等，本架構採用指令管線流(Pipeline Flow)，其讀取週期 (Fetch Cycle) 與執行週期 (Execution Cycle) 是重疊的，可加快指令執行速度。

根據設計的架構及規格書的指令集，本論文撰寫 PIC16F84 之硬體描述語言 (Hardware Description Language, HDL)。架構以 Data Bus 為主，描述硬體能較清楚，在其加上週邊也會更加容易。PIC

MCU 的處理速度會受 SRAM 影響，所以此架構將 SRAM 放進 PIC MCU 內部，速度會較放在外部經由線傳資料快。

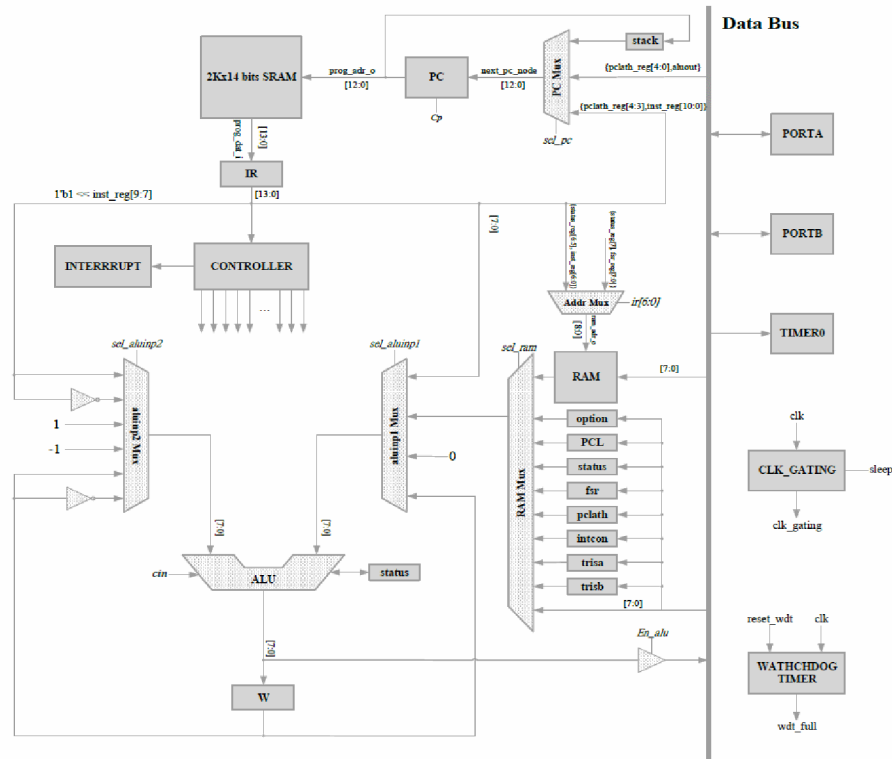


圖 5 PIC16F84 MCU architecture

先進的電子設備至少包含一個微控制器單元 (MCU)。本研究提出了一種基於 Microchip PIC16f84 之 PIC 系列的新型 MCU 架構。此 8 位元 RISC MCU 架構包括具有指令周期的兩級管線(Pipeline)，可將系統從四個時脈週期減少到兩個時脈週期，透過同時進行擷取指令及執行指令來提升效能。除此之外添加了 TIMER0，外部觸發中斷服務，看門狗(Watchdog,內建計時裝置，用於防止單晶片程式當機用)重置功能，省電睡眠模式和雙向 I/O。本研究設計出線上燒錄 (ISP) 電路，以便直接從電纜傳輸中燒錄內存中的程式，因此無需專門的編程器。啟動 MCU 後，儲存的程式將自動載入至記憶體中執行。

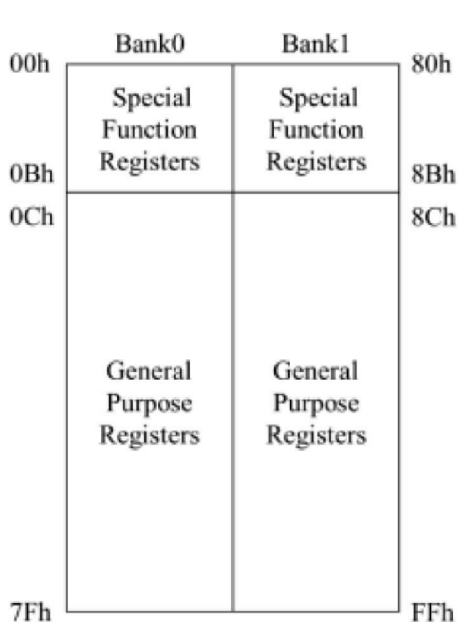


圖 6 PIC16F84 data memory block

Bank0	Bank1	Address
INDF	INDF	80h
TMR0	OPTION	81h
PCL	PCL	82h
STATUS	STATUS	83h
FSR	FSR	84h
PORTA	TRISA	85h
PORTB	TRISB	86h
		87h
EEDATA	EECON1	88h
EEADR	EECON2	89h
PCLATH	PCLATH	8Ah
INTCON	INTCON	8Bh

圖 7 Special function registers

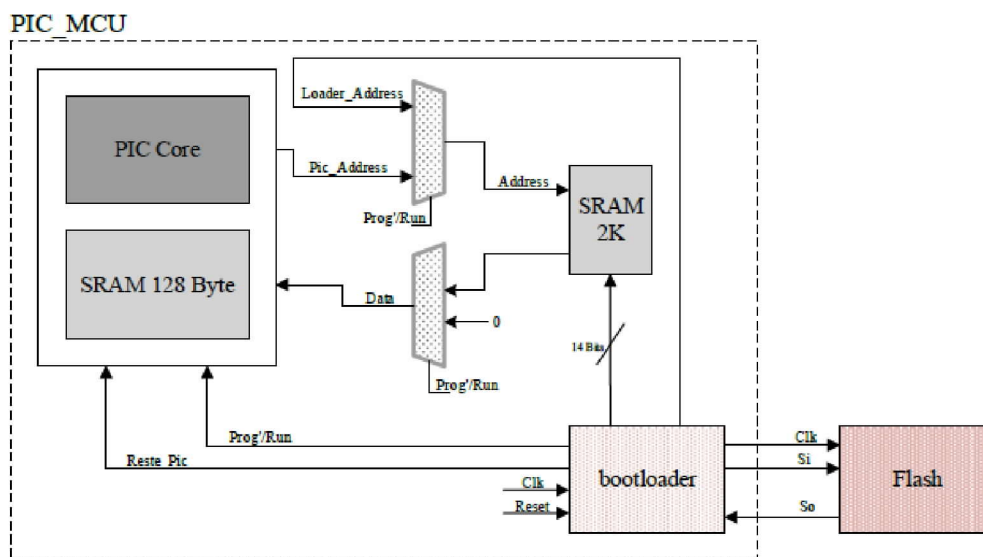


圖 8 Architecture of ISP Programmer

本論文採用 T18 製程標準元件設計流程 (Cell-based design flow)，使用國家晶片系統設計中心 (CIC) 提供的 EDA(Electronic design automation)平台，以 Cell-based 的設計方式實現晶片。利用 ModelSim 軟體完成暫存器傳輸級 (Register-Transfer Level, RTL) 設計和 RTL 的模擬，確認模擬無誤後，即用 Synopsys 編譯器對 HDL

code 進行合成，經合成完的 HDL code 會轉為邏輯閘層次 (Gate-Level)。合成完成後即開始做電路佈局與繞線 (Place 與 Route)，電路佈局的部分是使用 SOC Encounter 軟體，佈局所需要的三個檔案為經過驗證的 Verilog 檔案、IO 控制腳位位置排列及 Synopsys 設計約束格式 (Synopsys Design Constraints, SDC) 三個。接著設定面積大小、電源環 (power ring)，時脈樹 (clock tree) ... 等設定，電路佈局完成後軟體會進行繞線的動作，產生所需要的佈局圖。

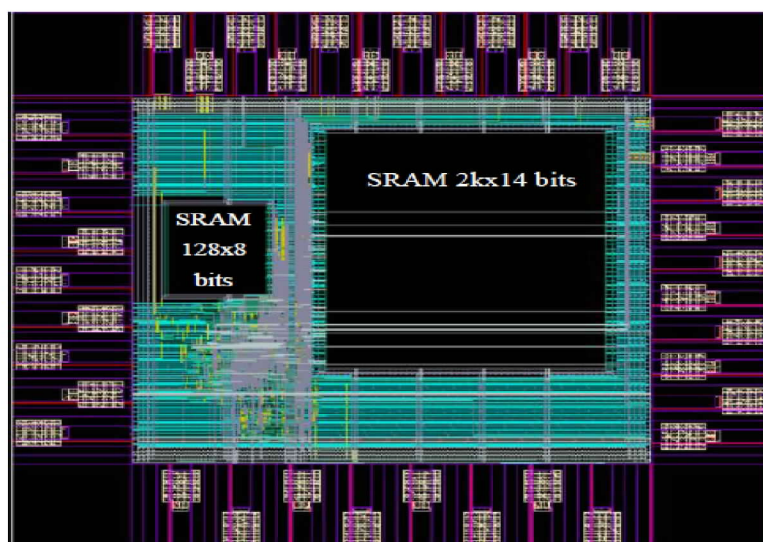


圖 9 Layout of PIC16F84

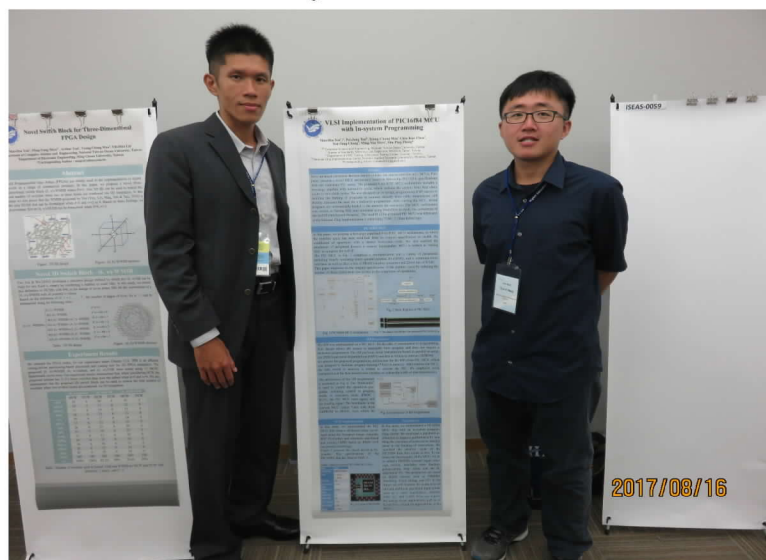


圖 10 論文發表會場

四、其他論文資料

本次研討會工程類的內容包括電機電子資訊、生物醫學、土木、機械及化學工程等領域，第二天早上的論文發表為計算機科學、電機電子及能源工程方面的論文，以下將具參考價值的論文作報告，摘要如下：

■ 題目：可攜式數位控制振盪器於系統單晶片中全數字產生器之應用
(A Portable Digitally Controlled Oscillator for All-Digital Clock Generator in SoC Applications)

■ 作者：Duo Sheng、Chun-Wei Lin | *Fu Jen Catholic University*

研究內容：

本篇論文提出帶有 cell-based 設計的數位控制振盪器對於全數字鎖相環(all-digital phase-locked loop ,ADPLL)在系統單晶片中的應用。論文中所提出的數位控制振盪器不但可以達到高延遲解析度，而且在製作上使用小面積的矽晶片。經過量測數位控制振盪器後結果顯示在面積為 0.003 毫米平方的面積下延遲解析度能夠改善到 5.2ps。除此之外，振盪器的設計能用標準元件來實現，使它有高的可攜帶性能用在不同的操作中，而且非常適用於系統單晶片的應用。

本篇論文提出的全數字鎖相環在鎖定過程中可分為兩種模式，第一個是頻率取得，第二個是相位追蹤。相鎖從頻率取得的模式開始，頻率獲取利用二進位搜索演算法來搜尋輸入時脈的頻率。首先數位控制振盪器在中頻帶震盪並且搜尋四分之一頻帶，如果輸出頻率高於目標頻率，全數字鎖相環增加搜尋步驟到震盪器的控制代碼來降低輸出頻率。相反如果輸出頻率低於目標頻率，全數字鎖相環控制器增加震盪器的控制代碼來增加輸出頻率。頻率獲取完成後，鎖定步驟進入相位跟蹤模式。此模式開始時加速計數器設置為零，當相位頻率檢測器的輸出發生變化時，例如從 UP 到 DN，代表相位極性改變，搜索

步驟將減少一半。如果搜尋方向保持不變，則加速計數器則加一。當加速計數等於邊界值時，搜索步驟將變為上一個步驟的兩倍以加速相位追蹤。如果邊界值太大，鎖相環可能無法追蹤輸入相位，而過小的邊界值會發生不穩定的問題。全數字鎖相環控制檢測 256 個 DCO(digitally controlled oscillator)控制代碼的最大和最小值，之後取兩個值的平均值，沒有追蹤雜訊能使全數字鎖相環產生更穩定和低干擾的輸出時脈。

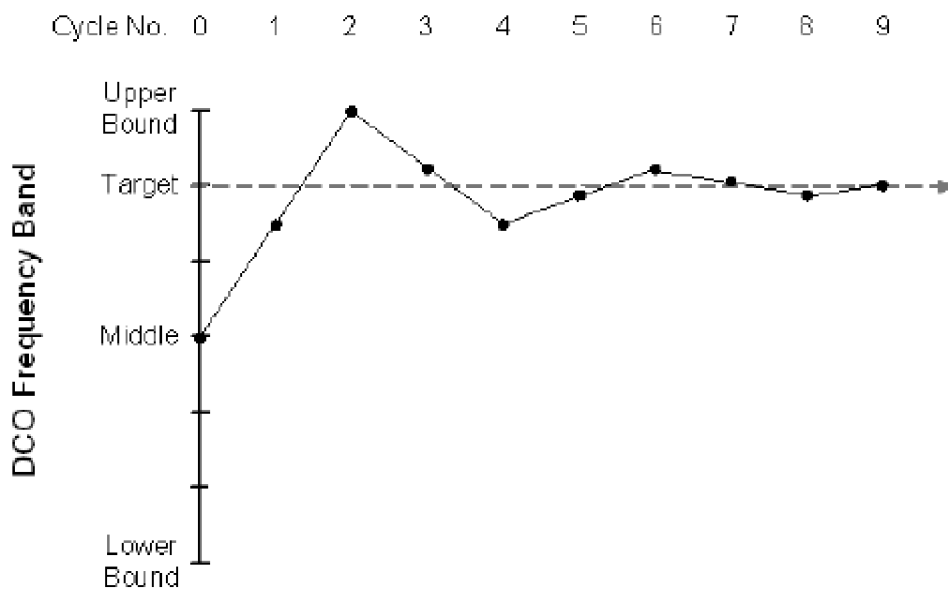


圖 11 Binary Search 演算法

數位控制振盪器的組成架構分成三級，分別為微調階段(CTS)、第一次精調階段(FTS)及第二次微調階段，數位控制振盪器利用串接結構來達到好的頻率解析度及操作範圍，粗調及微調階段能夠延展操作範圍並且增強延遲分辨率。粗調階段被設計來達到寬頻操作，第一次微調能增加數位控制振盪器的頻率解析度，第二次微調階段由 30 個雙端輸入 NAND 閘組成，能更進一步增加數位控制振盪器的解析度。

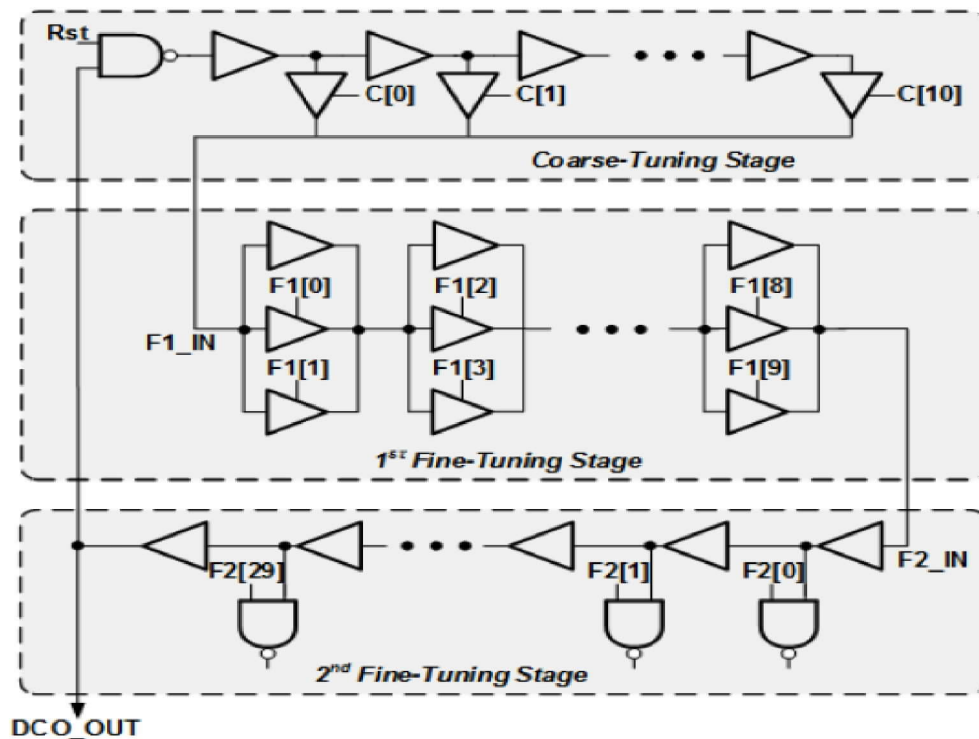


圖 12 數位控制振盪器電路

為了測試數位控制振盪器的性能，利用 R&S RTO1044 示波器在 1.8V/25°C 的環境下量測，由表可看出數位控制振盪器在不同的調整階段下步進延遲和操作範圍的結果，當各個調整階段的可控制範圍大於數位控制振盪器前一級的最小步進延遲時即可確保數位控制振盪器為正常運作。本篇論文提出一個可應用在 SoC 上的小面積數位控制振盪器，其中的串聯結構設計能維持高的延遲解析度。由於此振盪器有好的可移植性，因此能減少設計時間與複雜度，適合應用在 SoC 及系統層級的整合上。

表 2 調整階段的模擬及量測結果

	Post-layout Simulation		Measurement	
	Step (ps)	Range (ps)	Step (ps)	Range (ps)
CTS	179.2	1971.7	178.3	1962
1 st FTS	82.5	827	82.6	826
2 nd FTS	3.6	110	5.2	156

表 3 數位控制振盪器性能總結

Process	0.18 μ m CMOS
Operation Range (MHz)	85.7 ~ 113
Resolution (ps)	5.2
Power Consumption (μ W)*	370.98 @ 86.8MHz
Jitter (ps)	25.9
Area	0.003mm ² (72 μ m * 41 μ m)
Portability	Yes

* Power consumption is post-layout simulation results.

- 題目：帶繼電器之 LoRaWAN 於長距離物聯網中之效能評估
(Performance Evaluation of LoRaWAN with Relays for Long-Range IoT)
- 作者：Yawgeng A. Chau | *Yuan Ze University*

研究內容：

本篇論文針對雙跳瑞利衰落通道 (Rayleigh fading channel) 分析了帶有解碼轉發 (decode-and-forward, DF) 中繼器的 LoRaWAN (Long Range Wide Area Network) 在資料上傳方面的性能。在雙跳傳輸中，繼電器將解調來自物聯網 (IoT) 中感測器的接收信號，並將重新調製的數據傳送到雲端伺服器。為了分析端到端 (end-to-end, E2E) 接收性能，本篇論文推導出並估計了二進制非正交密鑰方案的比特誤差機率 (Bit error probability, BEP)，利用不同的調製參數來作數值評估，提出了不同情況下 BEP 的數值計算結果以說明性能。

在 LoRaWAN 系統上線性展頻調變 (chirp spread spectrum, CSS) 用於感測器與閘道間的資料傳輸，對於一個長距離的物聯網來說，雙跳

瑞利被用來蒐集感測器的資料，能節省感測器結點的功率耗損並且能
 延展服務範圍。雙跳物聯網的運作概念為中繼器開道接收感測器的訊
 號並回傳至已連接到雲端的目的地開道。為了進一步增加服務範圍並
 且減少感測器結點的功率損耗，因而考慮利用具有中繼繼電器的開
 道，本篇論文第一部份進行中繼器開道的雙跳 LoRaWAN 在衰退通道
 上的線性展頻調變之性能分析，並估算了二進制非正交密鑰方案的比
 特誤差機率。第二部份展示雙跳傳輸系統上發信及通道模型，兩個跳
 躍中考慮了獨立及非相同分佈的瑞利衰退通道。最後的部份說明線性
 展頻調變的端到端比特誤差概率的分析。

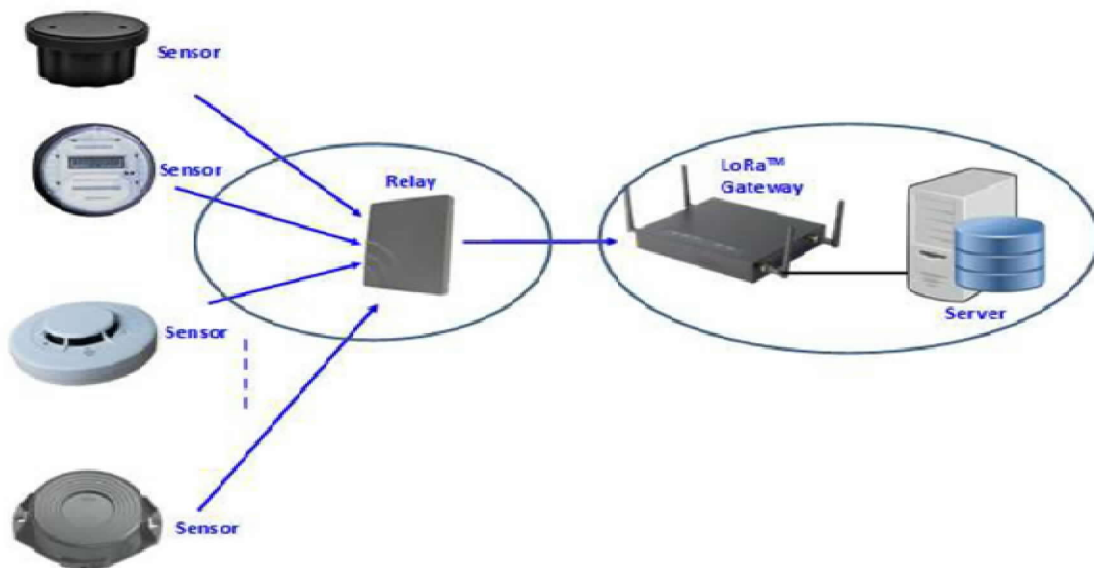


圖 13 應用於 LoRaWAN 的雙跳躍中繼匝道

- 數學模型

以數學方程式表達 CCS 信號如 (1)， A 為信號的振幅， ω 為載波中
 心頻率， μ 是傳輸率， θ 是信號相位， T_c 是傳輸週期。 $\mu > 0$ 時脈衝
 頻率上升， $\mu < 0$ 時脈衝頻率下降，以信號為二元相位調變 $b = \pm 1$ ，信
 號方程式以 (2) 呈現。當 $\theta = 0$ 時表達同步解調變，傳輸率為 R_c ，比
 特率為 R_b ，可以得到傳輸週期如 (3) 所示。展頻系數為 SF ，而 SF

介於 7 和 12 之間。正規化的相關係數則可以定義如 (4)， $F_c(\cdot)$ 為 Fresnel 積分如 (5) 所示。

$$s_o(t) = A \cos(\omega_0 t + \mu t^2 + \theta), \quad 0 \leq t \leq T_c \quad (1)$$

$$s_o(t) = A \cos(\omega_0 t + b|\mu|t^2 + \theta), \quad 0 \leq t \leq T_c. \quad (2)$$

$$T_c = \frac{1}{R_c} = \frac{SF}{2^{SF} \cdot R_b}, \quad (3)$$

$$\rho = \frac{A^2}{E_b} \int_0^{T_c} \cos(\omega_0 t - |\mu|t^2) \cos(\omega_0 t + |\mu|t^2) dt = \frac{1}{2\lambda} F_c(\lambda) \quad (4)$$

$$\lambda = 2|\mu| \frac{T_c}{\pi} = \frac{|\mu| SF}{2^{SF-1} \pi R_b}. \quad (5)$$

相關係數與 λ 的模擬圖如下，當 $\lambda=0.5$ 則相關係數將會是最大值，當 λ 越大則相關係數越小

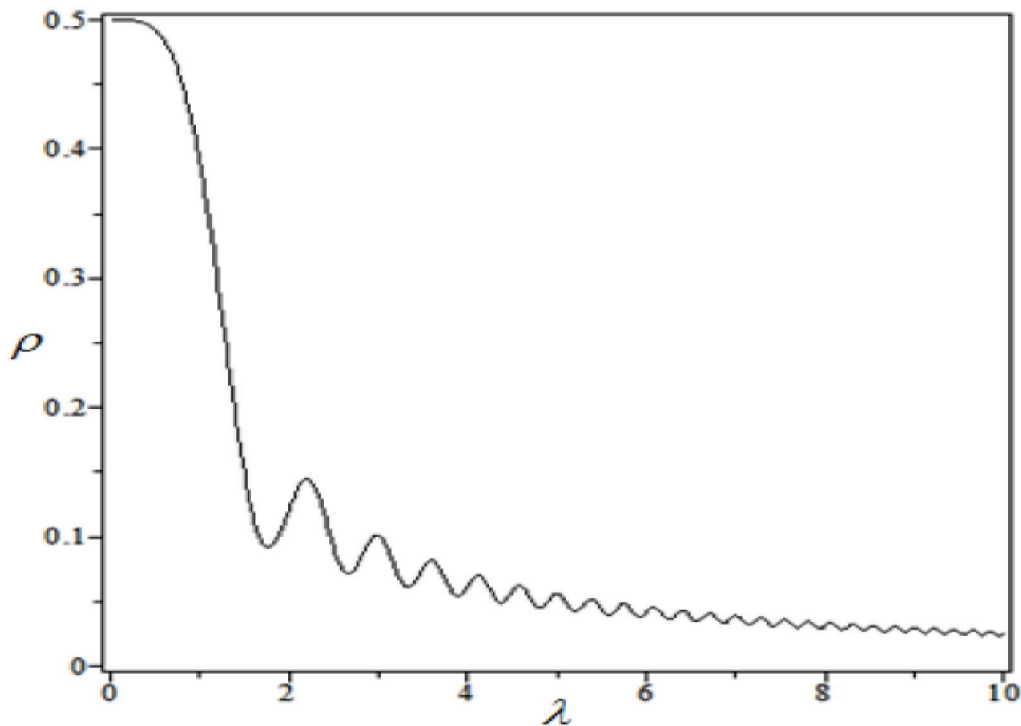


圖 14 相關係數 ρ 與調變參數 λ 之關係

- BEP 評估

令第 i 次跳躍的 BEP 表示成 $P_{b,i}$ ，則端到端的 BEP 為

$$\begin{aligned} P_b &= P_{b,1}(1-P_{b,2}) + P_{b,2}(1-P_{b,1}) \\ &= P_{b,1} + P_{b,2} - 2P_{b,1}P_{b,2} \end{aligned}$$

對於 2 進位制的非正交密鑰來說，對應的 BEP 的關係式為

$$P_{b,i} = \int_0^\infty \frac{1}{2} \operatorname{erfc} \left(\sqrt{\frac{x}{2}} - \frac{F_c(\lambda_i)\sqrt{x}}{2\sqrt{2}\lambda_i} \right) f_{\gamma,i}(x) dx$$

其中 $\operatorname{erfc}(\cdot)$ 是互補誤差函數，利用常數 a 、 b 可得關係式

$$\int_0^\infty \frac{1}{2} \operatorname{erfc}(a\sqrt{x}) \frac{1}{b} e^{-x/b} dx = \frac{1}{2} - \frac{1}{2} \sqrt{\frac{a^2 b}{a^2 b + 1}}$$

因此就能得到端到端的比特誤差機率公式為

$$P_b = \frac{1}{2} - \frac{1}{2} \sqrt{\frac{\bar{\gamma}_1 \bar{\gamma}_2}{[\bar{\gamma}_1 + 4\lambda_1 / (2\lambda_1 - F_c(\lambda_1))^2][\bar{\gamma}_2 + 4\lambda_2 / (2\lambda_2 - F_c(\lambda_2))^2]}}$$

其中 λ_i ($i = 1, 2$) 為調變參數， i 表示第 i 次跳躍的 LoRaWAN

- 數值結果

端對端的 BEP 如下圖所示，不論是 λ_1 或 λ_2 哪一個參數變大，其資料傳輸率都是降低。此結果如同公式推導，同時證明 BEP 可被評估，調變參數對於接收品質表現也有極大的影響。因此，雙跳躍傳輸可被應用來提升接收品質。

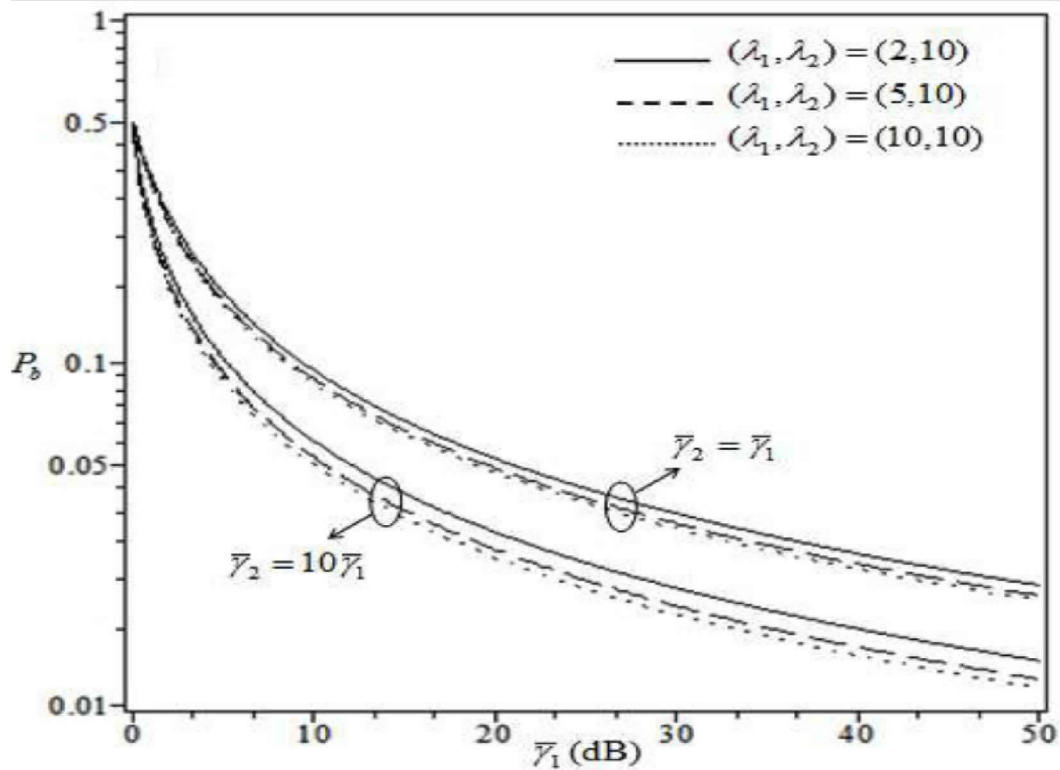


圖 15 BEP 和均值信噪比

中繼器匝道接收感測器信號並將其重發到連接到雲服務器的目的匝道。因此為了進一步增加感測器節點的服務範圍和降低功耗，可以考慮採用中繼匝道的 LoRaWAN。本篇論文針對衰落信道上的線性展頻調變 (chirp spread spectrum, CSS) 信號分析了具有解碼轉發中繼匝道的雙跳 LoRaWAN 的性能，對於雙跳傳輸來說，有許多種方式可以用來提高接收性能，在實際應用中採用將通道編碼的方式能有效降低比特誤差機率。

■ 題目: 氧化鋁奈米流體發電節能系統之創新維度分析

■ 作者: Jung-Chang Wang | *National Taiwan Ocean University*

研究內容:

本篇論文分兩部份，第一部份利用超聲波技術結合兩階段合成法使用氧化鋁奈米流體(Al_2O_3 nanofluids)進行電熱化學實驗，另一項沉積實驗透過觀察懸浮性、穩定性和熱導率來找出最佳的混合方式。重量百分比濃度 0.5-2.5 wt% 的奈米流體加進銅鋁電極的電池芯以進行氧化還原反應，測試攝氏 20 到 40 度的發電量。而第二部份利用創新尺寸分析法來推導發電量及導熱度的經驗公式。實驗結果顯示氧化鋁奈米流體和乳化劑混合物在重量百分比濃度 1 wt% 時有最佳的導熱性，並且導熱性隨著濃度的增加而下降，而在攝氏 40 度、2.5 wt.% 時，奈米流體有最高的電荷密度。第二部份實驗結果顯示 0.5-2.5 wt.% 的氧化鋁奈米流體在攝氏 20-40 度間加入溫度和濃度參數後利用經驗公式能估算熱導率和電荷密度。

表 4 各溫度及濃度參數實驗結果

Table 3-2 Currents, voltages, and electric quantities of tap water and 0.5%, 1.0%, 1.5%, 2.0%, and 2.5% Al_2O_3 nanofluids

Temperature (°C)	Types	Current (mA)	Voltage (V)	Electric quantity (mW)
20	Tap water	0.098	0.52	0.051
	0.5%	0.104	0.57	0.059
	1.0%	0.109	0.57	0.062
	1.5%	0.115	0.56	0.064
	2.0%	0.122	0.59	0.071
	2.5%	0.142	0.58	0.082
25	Tap water	0.106	0.54	0.057
	0.5%	0.126	0.62	0.078
	1.0%	0.160	0.60	0.096
	1.5%	0.171	0.58	0.099
	2.0%	0.182	0.6	0.109
	2.5%	0.195	0.59	0.115

30	Tap water	0.114	0.56	0.064
	0.5%	0.138	0.68	0.094
	1.0%	0.189	0.64	0.121
	1.5%	0.216	0.6	0.13
	2.0%	0.233	0.63	0.147
	2.5%	0.255	0.63	0.161
	35	Tap water	0.126	0.67
0.5%		0.174	0.7	0.122
1.0%		0.231	0.67	0.155
1.5%		0.262	0.65	0.17
2.0%		0.303	0.67	0.203
2.5%		0.313	0.67	0.21
40	Tap water	0.142	0.7	0.099
	0.5%	0.212	0.69	0.146
	1.0%	0.270	0.70	0.189
	1.5%	0.318	0.69	0.219
	2.0%	0.352	0.69	0.243
	2.5%	0.362	0.69	0.25

- 題目: GaSb 無接面電晶體之電性模擬(Simulation of Electrical Characteristics for GaSb Junctionless Transistor)
- 作者: Ming Su Cho | *Kyungpook National University*

研究內容:

近年來 CMOS 製程技術不斷微縮，閘極控制力及短通道效應的問題越顯重要，因此需要發展非矽材料的新型元件來取代傳統的金氧半場效電晶體(MOSFET)。近期有許多三五族複合半導體材料之電晶體的特性研究，鎵銻(Gallium Antimonide, GaSb)複合半導體因為在下個世代的 CMOS 技術中有優越的載子移動率而受到關注，GaSb 在室溫下電洞的移動率約為 850 cm²/Vsec，遠高於矽材料或其他三五族複合材料。本篇論文設計並分析與 CMOS 相容的 GaSb 無接面電晶體，其中

利用到 2D 技術電腦輔助設計模擬，最後檢視 SRAM 電路的特性。經過模擬後 N 通道的 JLT 的導通電流 I_{on} 為 $551\mu\text{A}/\mu\text{m}$ 、次臨界擺幅 S 為 68.5 mV/dec 、閾值電壓 V_{th} 為 0.026V ；而 P 通道的 JLT 的導通電流 I_{on} 為 $499\mu\text{A}/\mu\text{m}$ 、次臨界擺幅 S 為 69.9mV/dec 、 V_{th} 為 -0.285V 。邏輯反向器由一組 N 通道及 P 通道的 GaSb 無接面電晶體組成，其中低準位雜訊邊限 NML 為 0.289V 、高準位雜訊邊限 NMH 為 0.309V ；利用瞬時模擬量到延遲時間為 $\tau_{\text{pull-down}} = 7.2\text{ps}$ 、 $\tau_{\text{pull-up}} = 9.3\text{ ps}$ ；傳播延遲時間為 8.25 ps 在 2.1ns 時脈周期下，此邏輯反向器擁有優異的特性表現。

參、心得與建議

此次是我第一次參加國際研討會，能有機會到國外接觸各國專家學者並互相交流研究成果令我非常期待與興奮，各國的研究環境和研究手法皆有其特色，透過研討會或其他國際交流活動的方式能多看多學習別人的優點及手法，或許能藉此找到自己一直以來無法突破的盲點，或是把別人的經驗與自己的作融合，創造出新的研究模式。本次研討會在同一會場裡的不同會議廳內，同時有不同的研討會在進行，範疇領域包含能源工程、電子電力工程、計算機科學、生醫工程、土木工程、環境科學、經濟及教育等領域，因此也能接觸到來自不同領域的學者與專家，算是很特別的一次體驗。另外可能因為地緣關係，有很多台灣的學者參加本次的研討會，所以產生人在國外卻週遭很多人在講中文的情況，這次研討會論文總共 81 篇，其中台灣 51 篇為最多，其餘國家包括日本、韓國、中國大陸、印尼、泰國、伊朗、墨西哥、德國、義大利等國家。藉由出席此次 ISEAS 研討會聆聽各國專家學者的簡報及演講、蒐集相關研究資訊並和與會人士分享研究成果及

交換心得，得到了一次寶貴的學習經驗，而本次出國參加研討會的心得及建議如下：

1. 隨著現在網際網路與智慧行動裝置的不斷發展，以及各領域在物聯網的投入，線上即時互動應用程式的開發與需求越顯重要，線上即時互動應用程式為一聯網的應用程式可以連接數量龐大的用戶讓使用者可以在線上作即時互動，不管是在教育、工業、商業及服務業等各領域都有很重要的應用，建議關注此領域的國際標準發展趨勢。
2. 在物聯網無線傳輸的應用上，LoRa 技術逐漸熱烈發展，與傳統物聯網網路相比，LoRaWan 具有更長的傳輸距離、更長的電池壽命及更低的成本，並且能容納更多的使用者，在今後的物聯網時代 LoRaWan 技術越顯重要，值得持續關注。
3. 微控制器在縮管線化的過程中，在一個時脈周期底下動作指令及空狀態執行的順序安排會影響到整體的速度，妥善安排每個指令動作的位置將能進一步提升效能。
4. 本次參加研討會的成員以亞洲人士居多，期待下次有機會參加於歐美舉辦的研討會，學習歐美風格的研究經驗，並提升本局能見度。

附件、會議資料

一、與會證明



二、會議議程手冊



ISEAS-0056
Novel Switch Block for Three-Dimensional FPGA Design
Mao-Hsu Yen | *National Taiwan Ocean University*
Ming-Yang Shyu | *National Taiwan Ocean University*
Arthur Tsai | *National Taiwan Ocean University*
Yeong-Chang Maa | *National Taiwan Ocean University*
Yih-Hsia Lin | *Ming Chuan University*

ISEAS-0057
VLSI Implementation of PIC16f84 MCU with In-System Programming
Mao-Hsu Yen | *National Taiwan Ocean University*
Wei-Jui Cheng | *National Taiwan Ocean University*
Chiu-Kuo Chen | *Bureau of Standards, Metrology and Inspection*
Chia-Hung Su | *Electronics Testing Center*
Shih-Bin Lu | *National Taiwan Ocean University*
Yin-Cheng Chang | *National Chip Implementation Center*
Da-Chiang Chang | *National Chip Implementation Center*

ISEAS-0059
Transfer of Official Certifications into Smartphones in Korea
Hyo-Joong Suh | *The Catholic University of Korea*

ISEAS-0066
Head Controlled Mouse Cursor in the Android Mobile System for the People with Disabilities
Ying-Ying Shih | *Chang Gung Memorial Hospital*
Yu-Jie Su | *National Taipei University of Education*
Chih-Chen Chen | *Hwa Hsia Institute of Technology*
Sheng Chen | *Hwa Hsia Institute of Technology*
Yi-Feng Ko | *Taipei Medical University Hospital*
Shih-Ching Chen | *Taipei Medical University Hospital*
Yu-Luen Chen | *National Taipei University of Education*

ISEAS-0081
A Tree-Based Approach of Mining Closed Frequent Fault Tolerant Patterns
I.C. Liu | *National Dong Hwa University*
G. Lee | *National Dong Hwa University*