

出國報告（出國類別：國際會議）

第七屆 半導體界面控制國際研討會議
(ISCSI-VII)

服務機關：國立暨南國際大學電機學系

姓名職稱：蔡智傑 博士生

派赴國家：日本名古屋

出國期間：105年06月05日至105年06月10日

報告日期：105年08月30日

摘要

半導體界面控制國際研討會議（7th International Symposium on Control of Semiconductor Interfaces）是半導體界面控制技術的重要論壇之一，以加速產品上市的時間，其中需應用到許多科學領域的技術，由設計/設備/製程技術幾大類著手，使縮短產品研發時間。而此次第七屆半導體界面控制國際研討會議(ISCIS-VII)是在日本名古屋的名古屋大學（Nagoya University）舉行，會議日期從2016年06月07日至06月11日止，此次研討會是由名古屋大學、日本學術振興會（Japan Society for the Promotion of Science，JSPS）共同舉辦。本屆會議主題包含新穎半導體材料、半導體材料晶格生長、半導體材料特性與應用等技術探討與研究。會議中對於矽鍺(Silicon Germanium, SiGe)、鍺錫(Germanium Stannum, GeSn)、氮化鎵(Gallium nitride, GaN)、高介電係數介電材料(High-k dielectric)、石墨烯(Graphene)、碳化矽(Silicon Carbide, SiC)等新穎之半導體材料有詳盡的討論。此次會議主要任務是希望結合全球專業領域人士，共同關注於新穎的半導體界面控制技術，一起改善現今半導體材料技術所面臨的難題，並針對相關技術進行交流討論。

關鍵詞: 矽鍺、氮化鎵、高介電材料、碳化矽、石墨烯

目次

壹、	參與此次國際會議之目的.....	1
貳、	出國行程及議程.....	1
參、	心得及建議.....	3
肆、	附錄	
一、	活動相片.....	4
二、	研討會議程.....	5
三、	研討會之發表論文.....	7

壹、 參與此次國際會議之目的

半導體界面控制國際研討會議（7th International Symposium on Control of Semiconductor Interfaces）是半導體界面控制技術的重要論壇之一，以加速產品上市的時間，其中需應用到許多科學領域的技術，由設計/設備/製程技術幾大類著手，使縮短產品研發時間。而此次第七屆半導體界面控制國際研討會議(ISCIS-VII)是在日本名古屋的名古屋大學（Nagoya University）舉行，會議日期從2016年06月07日至06月11日止，此次研討會是由名古屋大學、日本學術振興會（Japan Society for the Promotion of Science，JSPS）共同舉辦。本屆會議主題包含新穎半導體材料、半導體材料晶格生長、半導體材料特性與應用等技術探討與研究。會議中對於矽鍺(Silicon Germanium，SiGe)、鍺錫(Germanium Stannum，GeSn)、氮化鎵(Gallium nitride，GaN)、高介電係數介電材料(High-k dielectric)、石墨烯(Graphene)、碳化矽(Silicon Carbide，SiC)等新穎之半導體材料有詳盡的討論。此次會議主要任務是希望結合全球專業領域人士，共同關注於新穎的半導體界面控制技術，一起改善現今半導體材料技術所面臨的難題，並針對相關技術進行交流討論。

貳、 出國行程及議程

於台灣時間06月05日上午從桃園國際中正機場出發，直飛至日本的名古屋中部國際機場，全部航程約莫三個小時。隨即搭乘特級列車到名古屋車站並轉地鐵至榮站的飯店住宿休息。

本次出國行程如下：

06月05日（日）桃園中正機場 – 名古屋中部國際機場

早上到桃園中正機場報到，準備搭機前往名古屋。

06月06日（一）名古屋周邊參訪（私人行程）

名古屋市區周邊參訪。

06月07日（二）名古屋周邊參訪/名古屋大學（私人行程及名古屋大學）

名古屋市區周邊參訪。下午搭乘地鐵至名古屋大學站並步行至名古屋大學大會會場註冊，並參觀名古屋大學。

06月08日（三）大會開幕式/國際會議

一早從飯店搭乘地鐵至名古屋大學站並步行至名古屋大學大會會場報到，並參加大會9:20的開幕式。參加完開幕式後，緊接著聆聽美國加州大學的(Ya-Hong Xie)博士演講，演講主題為矽鍺材料之發展，經過這位學者精闢的講述後，對於矽鍺材料的起始及其未來發展趨勢有更深刻的了解。另一場演講則是日本東京大學的學者(Masashi Kawasaki)

所演講的高遷移率的氧化物材料特有的量子機制。緊接著由國際商業機器股份有限公司(International Business Machines Corporation, IBM)所發表的題目為改變矽鍺材料應力並應用在鰭式場效電晶體(FinField-effect transistor, FinFET)上，此場演講因跟我研究相關，所以十分期待，經由研發人員講述材料的應力能夠大幅影響元件特性，其材料應力的參數也能做為日後研究之參考，這場演講真的讓我收穫良多。中午的休息時間，當地學生熱情帶我參觀名古屋大學的實驗室，實驗室內設備及環境都相當舒適安全，也有許多新穎的設備。下午演講的主題為金屬/半導體界面(Metal Semiconductor Interface)的特性，下午第一場由日本東京大學學者(Tomonori Nishimura)講述，內容主要在探討金屬的奈米能階定住(Fermi-level Pinning)與鍺材料的關係。接著是此次研討會特邀演講，主題為討論未來矽鍺材料金屬化所面臨之挑戰。下午茶時間後演講的主軸為應力(Strain)的探究，其中讓我印象深刻的內容為大會特邀演講，主題在探討在高度不匹配(Highly Mismatched)的矽鍺/矽界面的應力工程，其提出的方法相當新穎與詳細，未來在實驗上可做應用為很好的實驗參數。

稍作休息後，緊接著就是這次參加會議的重頭戲海報發表，按大會規定在下午五點開始張貼海報並在旁複習稍後發表的相關資料，待大家海報張貼的差不多時，也參觀其他人的海報並與其他優秀人員進行討論，此次會議真的收穫良多。

06月09日 (四) 國際會議

本日的上午演講主要是晶向生長(Crystal Growth)，其中最令人印象深刻的是來自德國的學者(Yuji Yamamoto)所講述的關於鍺材料的晶向生長特性，演講中清楚說明鍺材料的種種特性讓我獲益良多，相信未來在研究上能加以應用。下午會議的內容為鍺錫材料的應用，老實說我對這個材料相當陌生，但經由現場學者講述後，對此材料有了初步的認識。接著會議主題為穿隧式場效電晶體(Tunneling Field-Effect Transistor, TFET)，會議中發表了許多內容，例如：金屬與鍺界面的應用、矽與矽鍺材料的應用。其中以德國學者(Qing-Tai Zhao)講述的矽與矽鍺材料應用收穫最多。過程中清楚的演說了傳統的矽材料與矽鍺材料應用在穿隧式場效電晶體上的種種問題及其優缺點比較，讓我對此領域有更多的了解。

06月10日 (五) 名古屋中部國際機場 – 桃園中正機場

上午在飯店辦理退房並搭乘飯店的接駁巴士前往名古屋中部國際機場報到搭機返國。

參、心得及建議

我覺得參加此次研討會最大的收穫是可以結識到許多來自世界各國的朋友增加自己的溝通力，並以研究當作彼此的共通點，相互切磋討論，讓我有滿滿的收穫。透過此次研討會讓我學習到許多寶貴的研究經驗與技術，例如：如何準備好的國際會議報告；如何傾聽別人報告；如何針對報告發問好的問題；如何結識研究同伴，這些雖然在研究上不是最直接的能力，但長期來看卻是不可或缺的軟實力。最後，謝謝主辦單位名古屋大學、日本學術振興會（Japan Society for the Promotion of Science, JSPS）讓我有機會參加此次的研討會，更感謝暨南大學能夠補助經費讓我能有這次寶貴的經驗。

1. **希望能依照不同領域的題目，能有不同的報告場地：**雖然大家研究都是半導體領域，但還是可以細分為許多項目，所以在此建議主辦單位未來可以將細分的題目獨立出來，以便聽講者可更容易的選擇與自己相關或有興趣的演講題目，如此一來才能讓演講者與聽講者能有更深入的互動。
2. **期盼台灣未來也能多舉辦大型國際研討會：**台灣目前還是鮮少有大型的國際研討會，所以台灣的學生及研究人員往往都須遠赴他國才可發表研究成果，因此期待未來能爭取為大型研討會的主辦地，讓相關人員享有地利之便，讓更多人看見台灣。

肆、附錄

一、活動照片

	
<p>地鐵名古屋大學站出來的指示標誌</p>	<p>前往會場的指示標誌</p>
	
<p>實驗大樓外觀</p>	<p>大會文宣</p>
	
<p>海報看板合影</p>	<p>大會看板合影</p>

二、研討會議程

Tuesday, June 7, 2016

Room B (1F)
Registration 16:00 -
Reception 17:30 - 19:30

Wednesday, June 8, 2016

Room A (2F Hall)	Room B (1F)
OA Opening Address 9:20 - 9:30	
WA1-A Joint Plenary Session 9:30 - 11:20	
Coffee Break 11:20 - 11:40	
WA2-A SiGe Devices 11:40 - 12:30	WA2-B Quantum Dot 11:40 - 12:40
Lunch Break 12:40 - 14:00	
WP3-A MS Interface 14:00 - 15:50	WP3-B Diamond 14:00 - 15:40
Coffee Break 15:50 - 16:10	
WP4-A Strain 16:10 - 17:40	
Short Break 17:40 - 18:00	
	WE-PB Poster Session I 18:00 - 20:00

Thursday, June 9, 2016

Room A (2F Hall)	Room B (1F)
TA1-A Special Session 9:00 - 10:30	
Coffee Break 10:30 - 10:50	
TA2-A Crystal Growth I 10:50 - 12:20	TA2-B Metrology and Characterization 10:50 - 12:20
Lunch Break 12:20 - 14:00	
TP3-A GeSn 14:00 - 15:40	TP3-B GaN 14:00 - 15:40
Coffee Break 15:50 - 16:10	
TP4-A TFET 16:10 - 17:20	
Short Break 17:20 - 18:00	
	Bq Banquet 18:00 - 20:00

Friday, June 10, 2016

Room A (2F Hall)	Room B (1F)
FA1-A Joint Plenary Session 9:00 - 10:50	
Coffee Break 10:50 - 11:10	
FA2-A Crystal Growth II 11:10 - 12:40	FA2-B Pn Junction. Diffusion 11:10 - 12:30
Lunch Break 12:40 - 14:00	
FP3-A Functional Oxides 14:00 - 15:50	FP3-B Optical Devices 14:00 - 15:50
Coffee Break 15:50 - 16:10	
FP4-A Graphene and Devices 16:10 - 17:40	
Short Break 17:40 - 18:00	
	FE-PB Poster Session II 18:00 - 20:00

Saturday, June 11, 2016

Room A (2F Hall)	Room B (1F)
SA1-A Electron Devices 9:00 - 10:30	SA1-B SiC 9:00 - 10:20
Coffee Break 10:30 - 10:50	
SA2-A Crystal Growth III 10:50 - 12:00	SA2-B Bonding 10:50 - 11:50
CR Concluding Remarks 12:00 - 12:10	

Control of Metallic Source/Drain in Nanowire Transistors Using Low-Temperature Microwave Annealing

Chun-Hsing Shih^{1,*}, Ming-Kun Huang¹, Jr-Jie Tsai¹, Yu-Hsuan Chen^{1,2}, and Wen-Fa Wu³

¹Department of Electrical Engineering, National Chi Nan University, Nantou 54561, Taiwan

²Institute of Electronics Engineering, National Tsing Hua University, Hsinchu 30013, Taiwan

³National Nano Device Laboratories, Hsinchu 30078, Taiwan

*Tel: +886-49-291-0960, Fax: +886-49-291-7810, E-mail: shihch@ncnu.edu.tw

1. Introduction

Nanowire transistors have attracted a growing interest from the semiconductor industry to outpace the planar counterparts in future CMOS technologies [1], [2]. To serve as ideal transistors, metallic source/drain should be combined with the nanowire architecture to minimize parasitic source/drain series resistance while eliminating the limits on the implanted dopant junctions [3].

This work investigates the formation of metallic source/drain in Schottky barrier nanowire transistors using low-temperature microwave annealing. Various microwave conditions were utilized in ytterbium, nickel, and titanium silicidation to control the Schottky barrier source/drain junctions and associated ambipolar conduction of nanowire transistors. Experimental results were compared with those using rapid-thermal annealing to examine the effectiveness of microwave annealing on dopant segregation and metal silicidation.

2. Device and Fabrication

Fig. 1 schematically plots the structure of Schottky barrier nanowire transistors. Hard-mask sidewall oxide spacer lithography was employed to fabricate the nanowire transistors without the need of any advanced lithography [4], [5]. Conventional ytterbium, nickel, and titanium silicidation were utilized to form the metallic Schottky barrier source/drain. Fig. 2 presents the cross-sectional TEM image of Fin-like nanowire transistors. The channel height is roughly 30 nm, whereas the nanowire width is about 50 nm. As-grown oxide of 10 nm was deposited as gate insulators. When the dopants were incorporated during silicidation, a

high dose of $5 \times 10^{15} \text{ cm}^{-2}$, 15keV, P31 was first implanted for subsequent dopant segregation. One-micrometer nanowire transistors were measured to examine electrical characteristics.

3. Experimental Results

Various conditions of microwave and rapid thermal annealing were performed to fabricate the ytterbium, nickel, and titanium source/drain silicidation. Results of optimized current-voltage curves were considered in subsequent examples to justify the effectiveness of microwave and rapid-thermal annealing. Fig. 3 shows the measured current-voltage curves of dopant segregated Schottky barrier nanowire transistors with nickel silicide source/drain. Fig. 4 presents the electrical drain currents of Schottky barrier devices using ytterbium silicide source/drain. Fig. 5 plots the experimental ambipolar conduction of Schottky barrier nanowire devices with metallic titanium silicide source/drain. These current-voltage curves confirmed successful formation of Schottky barrier nanowire transistors and appropriate activation of dopant segregated metal silicidation using microwave annealing. The microwave annealing can transform the nickel and ytterbium into metal silicide at a lower power of 4P (400% power), whereas a higher power of 5P is required to optimize the titanium silicide source/drain.

4. Conclusion

Effects of the microwave annealing on metal silicidation were examined. Experimental results show that the microwave annealing can produce better characteristics of Schottky barrier nanowire transistors by comparing with those using rapid-thermal annealing.

Acknowledgment

The authors thank the National Nano Device Laboratories for providing access to their facilities.

References

- [1] W. Lu, et. al., "Nanowire transistor performance limits and applications," *IEEE Trans. Electron. Dev.* p. 2859, Nov. 2008.
- [2] H. Yan, et. al., "Programmable nanowire circuits for nanoprocessors," *Nature*, p. 240, Feb. 2011.
- [3] J. M. Larson and J. P. Snyder, "Overview and status of metal S/D Schottky barrier MOSFET technology," *IEEE Trans. Electron Devices*, vol. 53, p. 1048, May 2006.
- [4] M.-K. Huang, C.-H. Shih, and W.-F. Wu, "Dopant segregated Schottky barrier nanowire transistors using low-temperature microwave annealed ytterbium silicide," *Jpn. J. Appl. Phys.*, vol. 53, p. 116501, Oct. 2014.
- [5] C.-H. Shih, W. Chang, W.-F. Wu, and C. Lien, "Multi-level Schottky barrier nanowire SONOS memory with ambipolar N- and P-channel cells," *IEEE Trans. Electron Devices*, vol. 59, p. 1614, Jun. 2012.

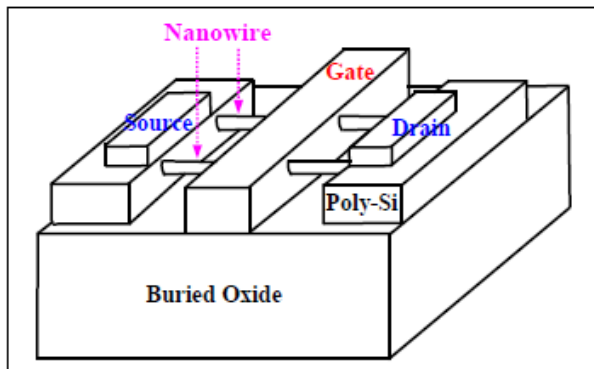


Fig. 1: Schematic structure of Schottky barrier nanowire transistors studied in this work.

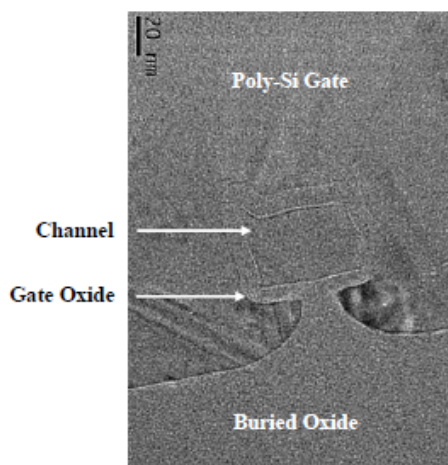


Fig. 2: A cross-section TEM image of fabricated Fin-like Schottky barrier nanowire transistors.

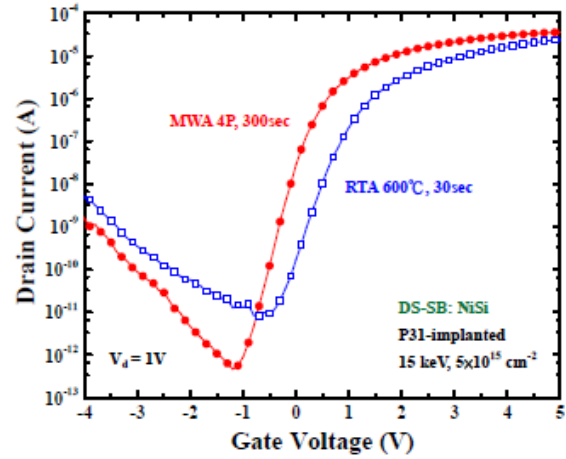


Fig. 3: Measured current-voltage curves of dopant segregated Schottky barrier nanowire transistors with microwave and rapid-thermal annealed nickel silicide source/drain.

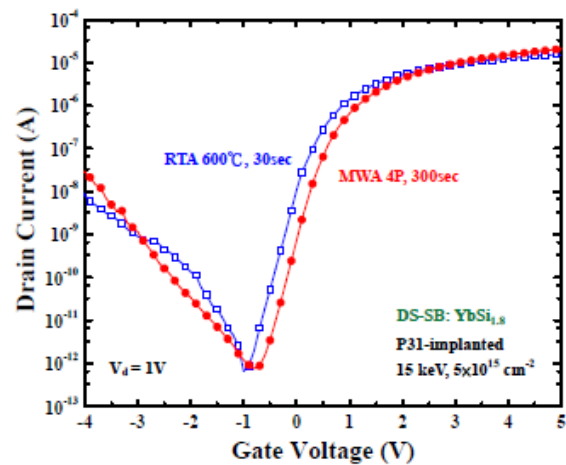


Fig. 4: Experimental drain currents of dopant segregated Schottky barrier nanowire transistors using microwave and rapid-thermal annealed ytterbium silicide.

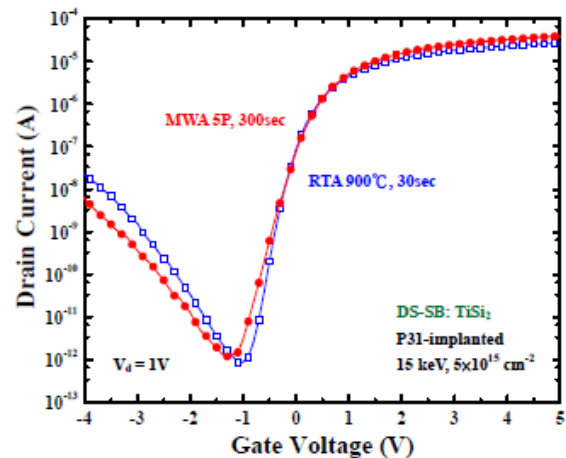


Fig. 5: Electrical ambipolar conduction of dopant segregated Schottky barrier nanowire transistors with microwave and rapid-thermal annealed titanium silicide source/drain.