

國立交通大學
National Chiao Tung University

出國報告（出國類別：研究）

前往美國加州大學洛杉磯分校 （UCLA）進行短期研究

服務機關：交通大學電機工程系
姓名職稱：黃柏蒼（約聘助理研究員）
派赴國家：美國加州大學洛杉磯分校
出國期間：2014/11/17-2014/12/1
報告日期：2014/12/17

摘要

此次出訪美國洛杉磯，主要目的為前往加州大學洛杉磯分校(UCLA)執行「次世代智慧行動裝置之系統整合平台計畫」所附屬的國際合作部分，與UCLA張懋中院士團隊進行為期兩個星期的技術交流及研究資料收集，並商討合作細節及本計畫結案事宜，最後幾天還討論未來有可能執行的合作計畫。第二週期間，主要是商討合作細節及本計畫結案事宜，最後兩天還討論未來有可能執行的合作計畫。

交大團隊需在下次前往UCLA進行參訪前，將「系統整合測試」中的OpenRISC board和MachXO2-1200ZE board連接，並由SMC cable產生8-bit 100MHz~200MHz測試patterns。此外，測試pattern要能檢驗出RF-I的bit error rate，測試訊號產生電路將如下圖所示，藉由檢查packet裡的ECC情況，分析RF-I回傳的訊號，進而推算出RF-I bit error rate。而在下次交大團隊前往美國之前，UCLA團隊需要設定好「RF-I單獨測試」及「系統整合測試」的測試環境及相對應的clock sources，以方便製作影片解說。

目次

一、目的.....	4
二、過程.....	4
三、心得及建議	11

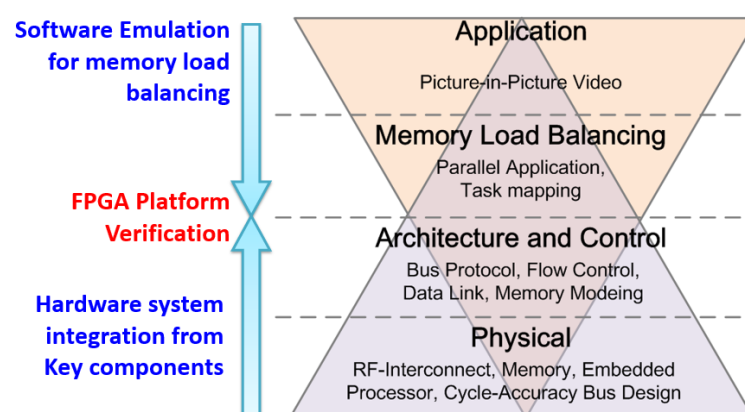
本文

一、目的

此次出訪美國洛杉磯，主要目的為前往加州大學洛杉磯分校(UCLA)執行「次世代智慧行動裝置之系統整合平台計畫」所附屬的國際合作部分，與UCLA張懋中院士團隊進行為期兩個星期的技術交流及研究資料收集，並商討合作細節及本計畫結案事宜，最後幾天還討論未來有可能執行的合作計畫。第一週在UCLA主要是進行軟體安裝、測試IP驗證及說明、FMC空接子板測試說明及硬體周邊介面描述。

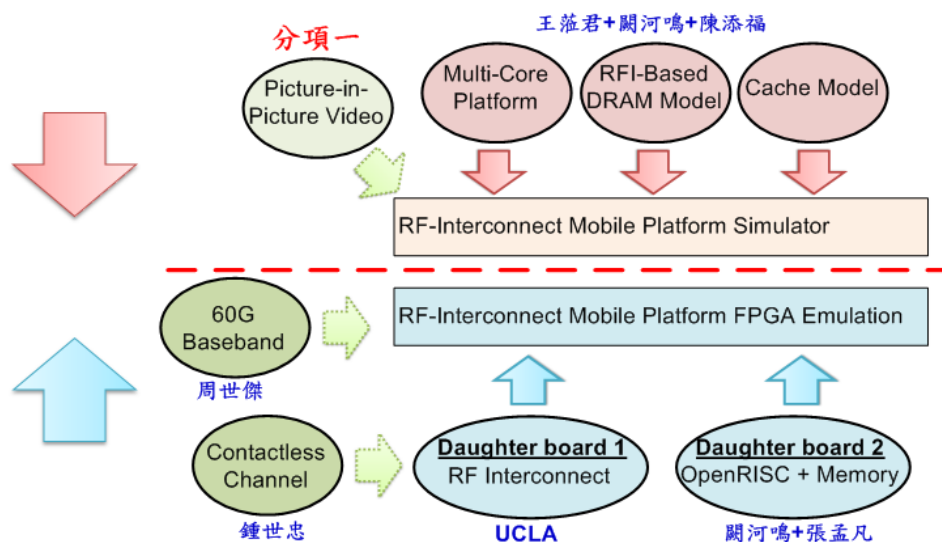
二、過程

現行行動裝置需要相當複雜的模組整合，在有限的記憶體頻寬當中，應用上也受到相當多的限制。近年隨著無線通訊系統的發展，行動裝置使用者對於影像傳輸效率之需求日漸增加，因此大量資料傳輸需求亦日益增高。其中，重要關鍵技術即為多核心應用處理器(Application Processor)及動態記憶體(DRAM)間對於影像資料之存取與資料傳輸頻寬。在次世代智慧行動裝置於上將需要更簡易的模組化設計，並同時能處理更大量的即時資料。本計畫的目標則是研發人性化、多樣化、低功耗、易整合擴充及高速多頻道傳輸的行動裝置與模組，以因應未來的行動裝置系統，而高容量且高頻寬的記憶體資料存取需求為行動的技術瓶頸。



圖一：Top-Down系統層級模擬平台驗證及Bottom-Up關鍵矽智財(IP)整合

在執行面上，本計畫將採取Top-Down系統層級模擬平台驗證及Bottom-Up關鍵矽智財(IP)整合如圖一所示，而關鍵矽智財整合將利用一高階FPGA板當作各矽智財整合平台及橋梁，而此FPGA板未來的可擴充性將是板子設計初期所需要考慮的，圖二為各分項計畫根據圖一概念所規劃的整合示意圖。



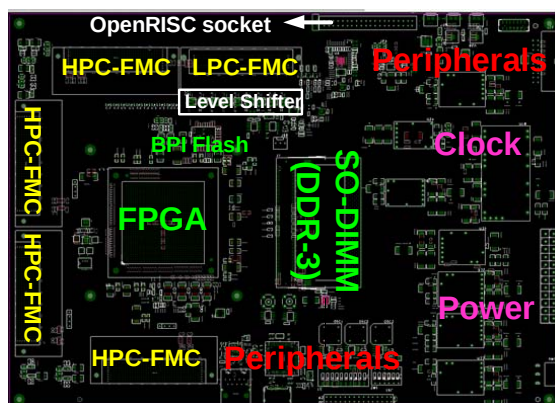
圖二：各分項計畫整合示意圖

11月17日至11月24日期間，主要進行XC7-V2000T FPGA板交接，交接過程主要分為幾個步驟，板子規格介紹、硬體周邊介面描述、軟體(Vivado)安裝、使用說明及測試IP說明。此FPGA板為交大委外製作的高階FPGA板，本計畫總共製作了兩個相同的板子，一塊放置於交大供交大團隊實驗用，另一塊板子此次攜帶至美國提供UCLA未來進行RF-Interconnect(以下簡稱RF-I)子板與FPGA板連接測試。此板子主要是當作可擴充性整合平台，提供未來關鍵矽智財整合；XC7-V2000T FPGA板規格是雙方團隊共同制定，但由於此板子訊號繞線總共使用了20層金屬層，加上connector的介面材質，電性無法達到一開始所預定的規格，但雙方皆接受規格變動。板子規格、設計圖及板子照片如表一、圖三及圖四所示，紅色部分為變動後的數據，原本FMC-HPC需要有一組能達到200MHz的速度，但由於此高階FPGA I/O過多、繞線複雜，導致頻率下降至150MHz。經過討論分析，三組FMC-HPC會跑在同一頻率，此部分需要降至100MHz來跑，並沒有影響；而高速驗證部分，需要能提供600MHz的Channel，將利用板子上的DRAM通道，但在此狀況下，未來RF-I的子板設計就需要符合DRAM DIMM的socket，

以提供600MHz的data rate。而FMC-LPC有額外拉線接至OpenRISC Socket (FPGA pin腳數有限)，由於電壓準位規格問題，需要先經過八顆Level shifter IC，將電壓抬升至3.3V，但速度會降至66MHz；但目前尚無規劃使用此介面，將以OpenRISC子板連接為主要考量，以方便未來進行關鍵矽智財整合。

表一：雙方協議之FPGA規格表

Interface	Number	Remark
XC7V2000T-1FLG1925	1	Speed (-1)
DDR3 (SO-DIMM)	1	Max. 8GB
Onboard BPI Flash	1	1Gbit
FMC HPC Connector	4 (Refer to Xilinx Board Pin Define)	150MHz x 1 (Single End) 100MHz x 3 (Single End)
FMC LPC Connector	TBD (Refer to Xilinx Board Pin Define)	66Mhz x 1 (Single End)
USB to UART	2	
HDMI	1	1080P
User LED	10	
DIP Switch	10 bit	
GPIO	10	2.54" pin head
ICE Port	1	
12V 3-Pin Fan Connector	1	Reserve for FPGA
Clock Source	2CH on PLL IC SMA Connector x 2 OSC Socket 1 Onboard Clock 100MHz x1	
Current Protection, OCP	SMD Fuses	5V (1.2A), 3.3V (1.2A), 2.8V (1.2A), 2.5V (1.2A)



圖三：FPGA板設計圖



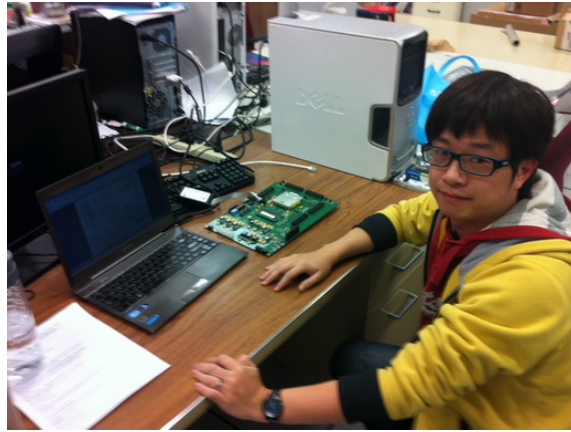
圖四：FPGA板俯視圖



圖五：軟體Vivado安裝

圖五為在第一週在UCLA進行軟體Vivado安裝，在Vivado安裝上，交大及UCLA都遇到License不夠，將請廠商再提供兩組License序號，以加速研發進度。此外，由於雙方合作需要頻繁地交換技術資料，加上Vivado的教學影片、廠商提供的測試IP及板子相關的規格文件資料過於龐大，我們協議在交大建立一經過加密的FTP site，並由交大將檔案有效的分類，以加速計畫的執行。關於FPGA的bit stream燒錄，經過測試建議由JTAG介面來寫入FPGA，雖然速度較慢，但較為穩定。另外在第一週也進行了技術交流及研究資料收集，讓交大團隊更了解RF-I的運作，將關鍵參數導入Top-Down系統層級模擬平台，避免系統層級模擬平台在系統評估中產生假設錯誤，無法顯現真實其況。

圖六至圖八為在第一週在UCLA進行軟體安裝、測試IP驗證及說明、FMC空接子板測試說明及硬體周邊介面描述。



圖六：測試IP驗證及說明



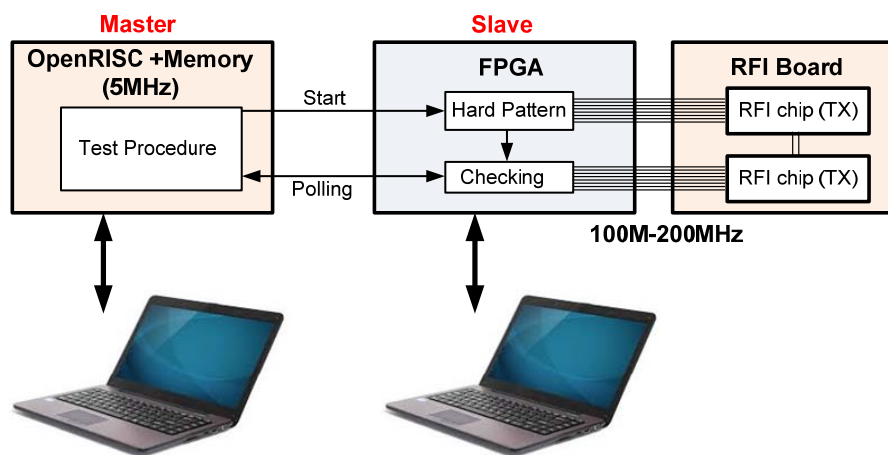
圖七：FMC空接子板測試



圖八：硬體周邊介面描述

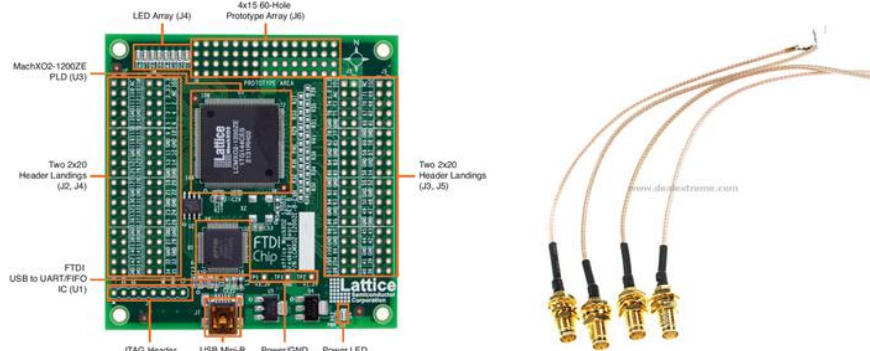
11月24日至11月29日第二週期間，主要是商討合作細節及本計畫結案事宜，最後兩天還討論未來有可能執行的合作計畫。圖九為原本預定的整合示意圖，但由於存在介面接頭規格、chip I/O電壓及RF-I測試條件等問題，進行了多次討論

及尋找可行的solution。目前RF-I已完成的測試板有兩種，一種是有轉成8-bit 3.3V digital output，另一種是類比小訊號輸出，而兩種測試板的輸入訊號都是要灌入8-bit 1.2V full-swing input signals，而所有測試板I/O都是採用獨立的SMA接頭。



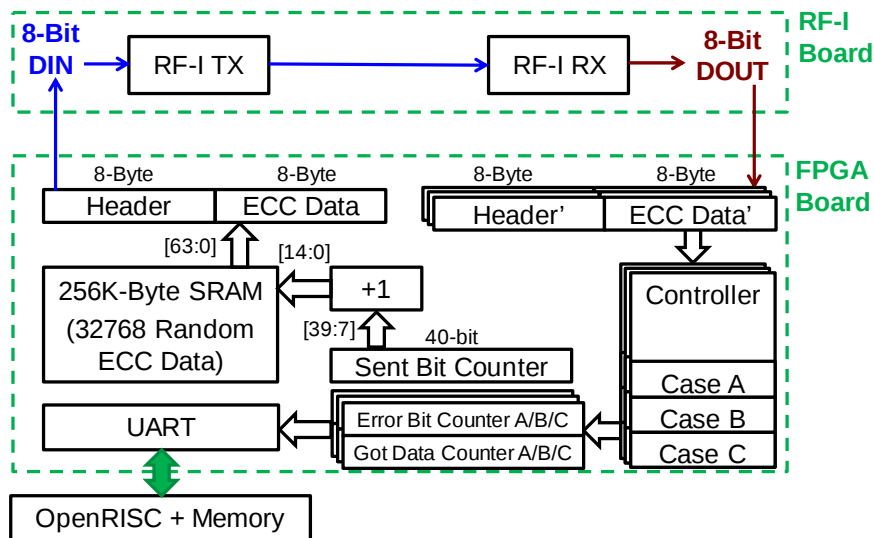
圖九：預定整合示意圖

RF-I測試條件及環境設定問題，我們可在UCLA進行測試並製作影片解說，預定分成兩部分執行，分別為「RF-I單獨測試」及「系統整合測試」；RF-I的單獨測試主要為展現出RF-I的高頻眼圖及基本特性，系統整合測試主要為展示OpenRISC+Memory和RF-I之間的連接及RF-I在100~200MHz 8-bit平行輸入的bit error rate測試。在系統整合測試部分，本來所設計製作的高階FPGA板及所購買的Xilinx ZC702開發板經過多次討論尚無法找到合理的整合solution，尤其是電壓及轉接頭等關鍵問題，並不適用第一年結案demo。為了完成系統整合測試，我們需要一個尋找一個新的FPGA開發板，此開發板不需要連接到其他週邊電路，但卻需要擁有使用者自訂的彈性I/O，並可以讓我們方便將訊號轉接到SMA接頭給RF-I board及數位杜邦線接頭給OpenRISC board。經過了我們多次討論及分工尋找，我們預定採用Lattice出的“MachXO2-1200ZE Breakout Board”如圖十所示，此FPGA板的開發軟體較容易上手，而且所有I/O都是接到空pin及LED Array，並且提供4個bank I/O可以設定不同的電壓值，還可以借用內部的PLL來產生100MHz~200MHz的patterns；此外，我們可以輕易地焊上16條SMA cable如下圖所示並連接到RF-I板子上SMA接頭，而不需要委外製造連接子板（製作一個連接子板除了會delay到進度外，還會降低訊號傳輸頻率）。



圖十：MachXO2-1200ZE Breakout Board及SMA cables

由以上所述，交大團隊需在下次前往UCLA進行參訪前，將「系統整合測試」中的OpenRISC board和MachXO2-1200ZE board連接，並由SMC cable產生8-bit 100MHz~200MHz測試patterns。此外，測試pattern要能檢驗出RF-I的bit error rate，測試訊號產生電路將如圖十一所示，藉由檢查packet裡的ECC情況，分析RF-I回傳的訊號，進而推算出RF-I bit error rate。而在下次交大團隊前往美國之前，UCLA團隊需要設定好「RF-I單獨測試」及「系統整合測試」的測試環境及相對應的clock sources，以方便製作影片解說。



圖十一：測試訊號產生電路

在未來有可能執行的合作計畫，我們將以現行計畫Top-Down系統層級模擬平台為基礎，並將RF-I現行技術導入TSV 2.5D/3D integration，以本人為PI申請科技部一般型計畫。此外，國家晶片中心（CIC）正在發展chip-level 2.5D/3D IC技

術開發平台如下圖所示，以利未來提供學界先進系統封裝服務，目前將尋找3-5個亮點技術進行前期開發；本人有另一計畫已和CIC合作，CIC副主任也委託本人詢問UCLA團隊是否有興趣將RF-I應用在CIC的2.5D/3D IC技術開發平台，並藉由本人當作中間技術溝通及執行橋樑，除了CIC本身執行技術開發平台的計畫部分，也可以將此部分加至欲申請的科技部計畫。對此部分而言，UCLA團隊表示對此應用有相當的興趣，可進一步跟CIC討論未來合作的可能性。

三、心得及建議

前往UCLA進行參訪期間，對方提供我們辦公室空間及研究設備，是個很好的研究環境；張懋中院士團隊在高速無線及有線傳輸電路領域為世界領先團隊，光是明年國際固態電路會議(ISSCC, 晶片設計領域頂級會議)就有三篇論文要進行發表(交通大學每年大概也只有2-4篇左右)。在參訪討論過程中，學習到世界級頂尖研究團隊的快速學習能力、嚴謹態度及認真程度，相對於台灣學生在思考過程中也是較開放但卻相對嚴謹的，在電機領域的廣度及深度也是台灣學生所不及的，非常值得我們本土畢業的博士省思，更進一步的加強自己；而且可以感受到畢業博士、senior學生跟junior學生都有很明顯的差距，代表UCLA EE的training是非常值得我們學習，oral preliminary (or qualify) examination對於學生的成長是絕對有幫助的。