

國立交通大學  
National Chiao Tung University

出國報告（出國類別：學研交流）

題目：蘇黎世聯邦理工學院之參訪報告

服務機關：國立交通大學  
資訊科學與工程研究所  
姓名職稱：陳建臻 博士生  
前往國家：瑞士 蘇黎世 ETH Zurich  
出國期間：2012/11/18~11/27  
報告日期：2013/02/18

## 一、摘要

此次參訪瑞士蘇黎世聯邦理工學院 (ETH Zurich) 主要是與 ETH Zurich Native Systems(原生系統)團隊的 Prof. Jürg Gutknecht、Dr. Felix Oliver Friedrich 與 Dr. Liu Ling 洽談雙方的合作計畫，並在回台灣後，於交大實驗室建置出與 Native Systems 團隊所使用之相同的軟硬體環境，以利合作計畫之進行。在參訪 ETH Zurich 一個禮拜的時間中，討論出的合作計畫內容為，由 ETH Zurich Native Systems 團隊提供他們已開發之作業系統、程式編譯器與硬體架構的支援，而由我們提供硬體架構的 power-aware(功率感知)與 energy-efficiency(能量效率)擴充設計，以及硬體架構中的 interconnection(互連)設計，並將整個硬體設計下線 (tapeout) 成一顆 IC 晶片。

## 二、目次

一、摘要.....	2
二、目次.....	3
三、本文.....	4
(一) 目的 .....	4
(二) 過程 .....	4
(三) 心得及建議.....	6

### 三、本文

#### (一) 目的

此次參訪瑞士蘇黎世聯邦理工學院 (ETH Zurich) 的主要目的有三，第一，與 ETH Zurich Native Systems 團隊的 Prof. Jürg Gutknecht、Dr. Felix Oliver Friedrich 與 Dr. Liu Ling 洽談未來雙方的合作計畫。第二，學習由 ETH Zurich Native Systems 團隊所開發之 A2 作業系統環境，與正在開發的 Active Cells(活躍的細胞)硬體架構，讓未來的合作計畫可以在相同的軟硬體環境下進行。第三，認識 ETH Zurich 的團隊成員，以利將來合作計畫的討論與溝通。

#### (二) 過程

在 ETH Zurich 一個禮拜的時間，首先是拜會目前於 ETH Zurich 擔任 visiting professor(訪問學者)的交大曹孝櫟教授，接著在曹教授的引薦下，拜會 ETH Zurich Native Systems 團隊的 Prof. Jürg Gutknecht、Dr. Felix Oliver Friedrich、Dr. Liu Ling 以及該團隊的所有成員。隨後，在 Dr. Felix 和 Dr. Liu 的指導下，學習該團隊所開發之 A2 作業系統<sup>1</sup>，其環境如圖 1 所示，並學習該團隊正在開發的 Active Cells硬體架構，亦取得許多相關文件以及程式碼，以在回台後於交大實驗室建置出一個相同環境，便於進行將來的合作計畫。我在ETH Zurich時架設的Active Cells開發環境如圖 2 所示，主要包含一台運行A2 作業系統與Xilinx ISE的筆記型電腦，和一個FPGA 平台<sup>2</sup>。在學習完 ETH Zurich Native Systems 團隊所使用的軟硬體環境後，雙方便針對合作計畫進行討論，最後由 ETH Zurich Native Systems團隊提

---

<sup>1</sup> A2 Operating System 是一個利用 Active Oberon 程式語言編出的作業系統，其可做為一個使用者程式 (user program) 運行於 Linux 或 Windows 上，或是做為一個作業系統單獨運行於 PC 上。此處使用 A2 作業系統的原因是 Active Cells 使用的編譯器目前實做在 A2 作業系統中。

<sup>2</sup> ETH Zurich Native Systems 團隊建議使用的平台為 Virtex-5 LXT FPGA ML505 Evaluation Platform。

供A2 作業系統、Active Oberon compiler(Oberon的主動編譯器)以及現有 Active Cells硬體架構的支援，而由我們 (NCTU BRASS 團隊) 提供Active Cells硬體架構的power-aware與energy-efficiency擴充設計，以及Active Cells架構中的interconnection設計，並將整個Active Cells設計下線 (tapeout) 成一顆IC晶片。

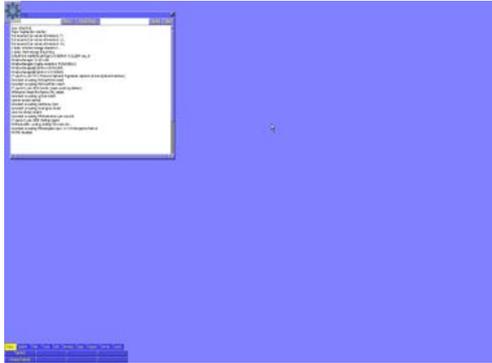


圖 1. A2 作業系統桌面



圖 2. Active Cells 開發環境 (架設於 ETH Zurich)

### (三) 心得及建議

在目前於 ETH Zurich 擔任 visiting professor(訪問學者)的交大曹孝櫟教授的協助下，此次參訪過程相當順利，ETH Zurich Native Systems 團隊的成員都具有相當高水準的專業能力，以及對做研究的熱情，他們亦無私地分享給我們許多他們已經開發或是正在開發的軟硬體設計資源。

ETH Zurich Native Systems 團隊目前正在開發的 Active Cells 設計流程大致如圖 3 所示，其主要目標是讓系統開發者可以透過編寫高階程式語言 Active Oberon，如圖中的「Cell Net」區塊所示，描述硬體 (如: 處理器、IO 控制器) 的連接關係，以及硬體上面要執行的軟體，便可以藉由他們開發之 Active Oberon 編譯器 (compiler)，將 Active Oberon 程式碼自動轉換成軟體的「Intermediate Code Files」以及軟體的執行檔「Code and Data」，與硬體規格檔案「Cell Net Specification」以及硬體描述檔案「Verilog Code and Scripts」，之後便可以利用 HDL synthesis tool (如: Xilinx ISE) 將硬體與軟體設計轉換成 bit stream，並下載到 FPGA 平台上驗證與使用。上述的軟硬體設計流程與現有之設計流程不同，現有的軟硬體設計流程通常是軟體與硬體分開設計，等到雙方都完成設計後再合併，而 ETH Zurich Native Systems 團隊目前正在致力開發的系統，則是希望能夠讓軟硬體設計能夠整併在一起，以簡化軟硬體的設計複雜度。

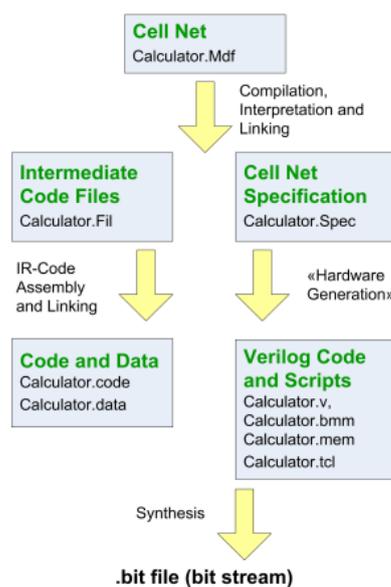


圖 3. Active Cells 設計流程

目前，Active Cells 的設計尚未包含與耗能或是效能剖析 (profiling) 相關的設計，因此我們希望未來能夠替 Active Cells 加入效能與耗能剖析與最佳化相關的設計，讓 Active Cells 的使用者能夠更清楚掌握軟硬體的效能與耗能特性，並協助最佳化系統的 energy efficiency。另外，Active Cells 現階段的設計僅能套用在 FPGA 上，若希望讓硬體在更高速、更節能的狀態下運作，則需要將硬體設計下線製作成 IC 晶片，但若希望讓 IC 保有和 FPGA 一樣支援可調整 (configurable) 的硬體互連關係，就必須增強 Active Cells 現有的 interconnection 硬體設計，因此，為 Active Cells 提供硬體架構的 energy-efficiency 擴充設計與 interconnection 設計將會是我們未來合作的主要重點。

整體而言，此次參訪真的是從 ETH Zurich Native Systems 團隊的成員身上學到許多知識與做研究的態度，希望將來系上也能夠多鼓勵同學前往世界頂尖大學進行短期研究或參訪。