



行政院所屬各機關因公出國人員出國報告書
(出國類別：研習)

赴法國國立應用科學學院(INSA Toulouse)研習 IC-EMC 技術心得報告

服務機關：經濟部標準檢驗局

出國人 職稱姓名：技士陳秋國、技士張彥堂

出國地點：法國

出國期間：中華民國 100 年 03 月 28 日至 04 月 10 日

報告日期：中華民國 100 年 06 月 15 日

行政院研考會 / 省 (市) 研考會 編號欄

目 錄	頁次
壹、 前言	5
貳、 研習行程概要	6
參、 研習行程及內容	7
第一章、 積體電路電磁相容理論	7
第一節、 積體電路電磁相容量測標準	8
第二節、 積體電路電磁相容設計準則	15
第三節、 積體電路電磁相容模型建立	22
第二章、 積體電路電磁相容實務訓練	28
第一節、 針對 L4949 採用直接功率注入法	28
第二節、 被動分布網路參數萃取	32
第三章、 參訪行程	33
第一節、 參觀汽車應用大廠	33
第二節、 拜會 IEC 工作小組	34
第三節、 與 INSA 座談	36
第四節、 拜訪 IRSEEM/ESIGELEC	38
肆、 結論與展望	40
伍、 參考文獻	41

圖例

頁次

圖一、物體大小(wavelength 波長)對應不同的頻段.....	8
圖二、廣義放射量測配置圖.....	9
圖三、廣義免疫量測配置圖.....	9
圖四、影響晶片低放射的決定性因素.....	15
圖五、展頻技術.....	16
圖六、控制切換速度.....	17
圖七、電源接地對擺放之電磁波互相抵消效應.....	18
圖八、去耦合電容效應.....	18
圖九、有效去耦合電容之基本規則.....	18
圖十、影響晶片免疫能力的決定性因素.....	19
圖十一、DPI 法免疫量測比較圖.....	20
圖十二、時脈工作週期調變電路可有效增加電路免疫能力.....	21
圖十三、數位輸入緩衝級加入 Schmitt trigger 能增加電路免疫力.....	22
圖十四、IEC 62433 標準制定現況.....	23
圖十五、電磁放射傳導巨觀模型[IEC 62433-2].....	23
圖十六、IA 時域波形.....	24
圖十七、推導出內部 IA 的原理[IEC 62433-2].....	25
圖十八、典型的 PDN 模型[IEC 62433-2].....	25
圖十九、典型 CMOS 製程基版之雜訊耦合效應.....	27
圖二十、DPI 配置圖[IEC 62132-4].....	28
圖二十一、L4949 系統方塊圖.....	30
圖二十二、L4949 DPI 測試圖.....	30
圖二十三、L4949 實際量測建置.....	31
圖二十四、測試流程圖.....	31
圖二十五、PDN 萃取量測配置圖.....	32
圖二十六、Continental 微波暗室合影(由右至左：Freescale John SHEPHERD 先生；標準檢驗局陳秋國技士；晶片製作中心張大強副組長；Continental Andre DURIER 與 Francis COLOMBIE 先生；標準檢驗局張彥堂技士).....	33
圖二十七、IEC SC 47A 與各國標準組織之關係架構圖.....	34
圖二十八、與 IEC 成員合影(左一：IEC WG 9 召集人 Christian MAROT 先生；左二：IEC WG 2/9 成員 John SHEPHERD 先生).....	36
圖二十九、與 Sicard 教授(左一)合影.....	38
圖三十、與 IRSEEM 主要成員合影(左二：系主任 Anne LOUIS 女士；左三：副系主任 David BAUDRY 先生；左四：Moncef KADI 先生；右三：國際關係長 Cyril MARTEAUX 先生).....	40

表 格	頁 次
表一、積體電路電磁放射量測方法	10
表二、積體電路電磁免疫量測方法	12
表三、CMOS 邏輯技術之典型參數[IEC 62433-2]	24
表四、典型的封裝參數[IEC 62433-2]	26

壹、前言

經濟市場的鐵則之一為大量生產可有效降低產品的成本，這樣的因素也驅使積體電路製程不斷的進步(微小化)，除了單一晶片面積可容納的電晶體數量呈倍數增加外，為解決晶片能源消耗所帶來熱的問題，其工作電壓也必須隨製程演進降低，意味著積體電路所產生的電磁免疫力/耐受性(Immunity)問題也大幅增加，諸如因電路基體化所造成由基板耦合(Substrate Coupling)的雜訊干擾或是數位訊號的雜訊邊限(Noise Margin)或雜訊容忍度等，皆是許多 IC 設計或製造公司必須面臨以及急待克服的難題。目前歐洲在積體電路電磁相容的研究仍為主要發展地區，主要是當地汽車產業的蓬勃發展，在車用電子日益廣泛使用的帶動下，當地許多公司與學校針對汽車電子零件所造成的電磁干擾與耐受性進行許多基礎研究，許多重要的研究成果更進一步被採納為國際標準；不僅如此，由於全球環保意識高漲與能源政策的驅使下，電動車的開發更是許多國際車廠所重視的明星產品，其中不可或缺的車用電子零件更是須要新的標準制定來確保使用者的安全。

產品上或機構上的電磁相容技術已經發展數十年，相關之標準也行之有年，國內的驗證技術與環境亦已相當成熟與完備，而積體電路電磁相容(IC-EMC)技術卻是近十幾年歐美日等先進國家所積極研究及主導的方向，不論在量測或是模型方面皆有許多新的國際標準提出，這些積體電路電磁相容國際標準當中分別為積體電路電磁干擾(IC-EMI)量測標準 IEC 61967、積體電路電磁耐受(IC-EMS)量測標準 IEC 62132 以及積體電路電磁相容模型標準 IEC 62433 等，這些標準對於目前或是未來國內 IC 產業欲進入國際車用市場是新的考驗及門檻；相關的 IEC 標準將會在後續內容完整描述並說明之。

為縮短與國際積體電路電磁相容技術的差距並進而使國內產業與國際同步接軌，本局電磁相容科連絡在積體電路電磁相容領域研究多年的法國 Etienne Sicard 教授，表達至當地學習最先進的積體電路電磁相容技術意願也獲得 Sicard 教授的同意，雙方並就課程內容與時間充分溝通並取得共識，相關內容將會在以下章節敘述，並在最後作心得總結。

貳、研習行程概要

日期	研習主題	內容	老師
3/28	積體電路電磁相容量測方法概論	1. 積體電路電磁干擾量測方法 (emission method) 2. 積體電路電磁耐受量測方法 (immunity method)	Alexandre BOYER, Etienne SICARD
3/29	積體電路電磁相容設計準則(1/2)	減低電磁輻射值的設計準則(low emission design guideline)	Alexandre BOYER
3/30	積體電路電磁相容模型建立(1/2)	積體電路電磁相容的內部擾源 (Internal Activity, IA)及被動分布網路(Passive Distribution Network, PDN)模型建立技術	Etienne SICARD
3/31	積體電路電磁相容設計準則(2/2)	增進電磁耐受度的設計準則(high susceptibility design guideline)	Alexandre BOYER
4/1	拜訪行程	參觀車用大廠 CONTINENTAL 電磁相容實驗室；參觀飛思卡爾半導體 (Freescale Toulouse)；拜會 IEC 工作小組召集人 C. MAROT	Francis COLOMBIE, Andre Durier, John Shepherd, Christian MAROT
4/2-3	假日	無	無
4/4	積體電路電磁耐受實務訓練	針對車用穩壓器 L4949 的直接功率注入法 (Direct Power Injection, DPI)耐受性量測實驗以及 PDN 萃取量測方法	WU Jianfei, Christophe LEMOINE
4/5	積體電路電磁相容模型建立(2/2)	配合前日量測之 PDN 參數建立積體電路電磁耐受傳導模型(ICIM-CE)	Etienne SICARD
4/6	課程總結	積體電路電磁相容理論與實務訓練總結以及問題與討論	Alexandre BOYER, Etienne SICARD
4/7-8	拜訪行程	由土魯斯前往 Rouen 拜訪學術機構 ESIGELEC/IRSEEM	David BAUDRY, Anne LOUIS

參、研習行程及內容

本次研習行程主要在研習 IC-EMC 技術，並分別學習積體電路電磁相容的模擬量測及實驗室建立技術，以引進國外先進 IC-EMC 模擬及量測技術，並加速國內 IC-EMC 模擬及量測相關系統建立。同時為增加國內廠商國際競爭力，本次研習亦向法國之國際電工委員會(International Electrotechnical Commission, IEC)委員尋問參與 IEC 標準制定的可能方式及管道，將積體電路電磁相容技術推廣至國際標準組織，使國內技術與國際接軌，並培養相關人才，以利國內電磁相容產業技術發展。此外，為提高台灣專家國際能見度，尋求參與國際電磁相容研討會技術委員會(Technical Program Committee, TPC)的方式與要件亦為此次行程之額外收穫。

本次研習內容主要分為三個部份：

- 一、積體電路電磁相容理論：介紹晶片輻射免疫量測方法與電磁相容模型等相關國際標準以及設計準則。
 - 二、積體電路電磁相容實務訓練：以實際車用晶片為例，用傳導方式作晶片免疫力量測，並萃取傳導路徑參數以供模擬使用。
 - 三、參訪行程：參觀法國汽車應用與設計大廠以及 IEC 重要成員，討論積體電路電磁相容趨勢與合作管道。
- 詳細內容將分別在底下章節敘述。

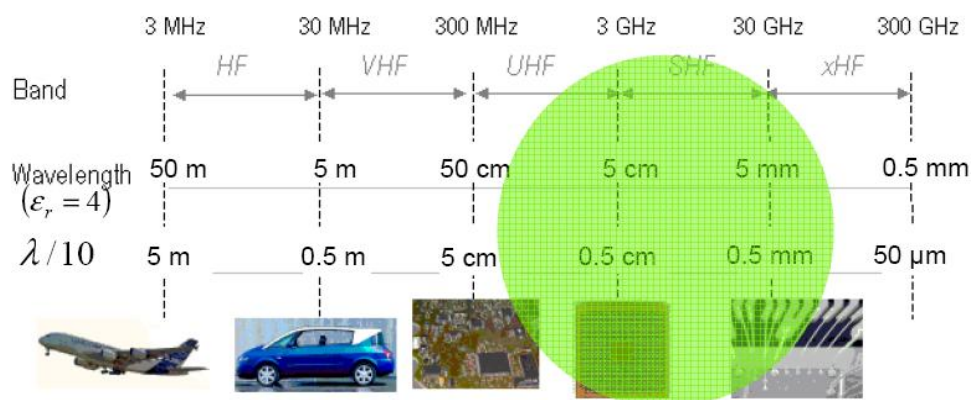
第一章、積體電路電磁相容理論

由於積體電路通常是電子設備發生問題的源頭，近幾年來，有非常大的需求來自許多系統業者，要求簡單、具可靠性而且標準化針對積體電路層級的量測方式，能夠做到定量的放射與免疫(emission and immunity)量測以建立完善的測試環境，藉此可以評估系統的電磁相容能力並最佳化電路的設計、耦合或去耦合元件(coupling/decoupling components)的選擇以及電路板線路的佈局，並節省製造上的成本。

本章將分別就積體電路電磁相容量測標準、設計準則以及模型建立在以下三節作深入介紹與探討。

第一節、積體電路電磁相容量測標準

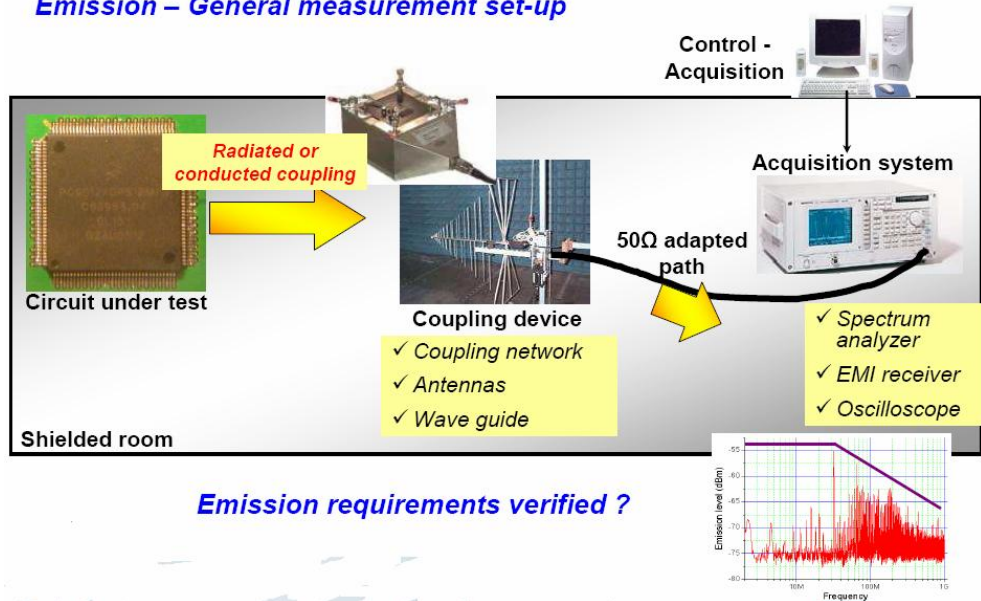
目前國際積體電路電磁相容量測方法由隸屬於 IEC 47A 積體電路技術委員會之工作小組九(Working Group 9)所制定，量測方法分為兩大部分：IEC 61967 積體電路電磁放射量測方法(Measurement of electromagnetic emissions)以及 IEC 62132 積體電路電磁免疫量測方法(Measurement of electromagnetic immunity)。圖一說明在 3 GHz 至 30 GHz 的頻段中，封裝接腳以及電路內連接(interconnects)足以形成在該頻段的天線效應而造成輻射，故在這些量測方法中，因傳導路徑的方式不同，又區分成輻射放射(radiated emission)與傳導放射(conducted emission)方法。



圖一、物體大小(wavelength 波長)對應不同的頻段

通用的放射或免疫量測方式，不外乎需要一待測物(Device Under Test, DUT)、耦合元件(coupling device)、偵測系統(acquisition system)或是干擾源產生器(disturbance generation)，環境上可以搭配電波隔離室(shielding room)達到完善的量測，其中耦合元件可以使用天線(antenna)、耦合網路(coupling network)或是波導管(waveguide)各種方式，干擾源產生器則是應用於免疫測試對待測物根據不同的頻率輸出由小而大的功率，藉由適當地耦合方式，並依偵測儀表所設定之錯誤規則(failure criterion)來定量地量測對待測物對於干擾的承受能力；而放射量測同樣需要一合適的耦合路徑，將待測物所放射出的電磁波用偵測儀表對待測物做定量測量。圖二為廣義放射量測配置圖，圖三為廣義免疫量測配置圖。

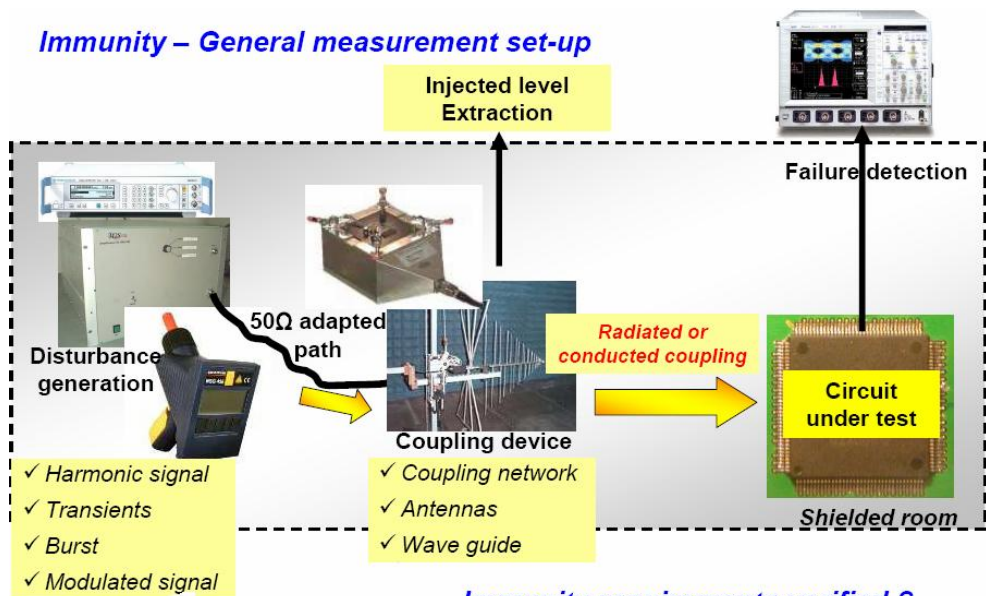
Emission – General measurement set-up



Emission requirements verified ?

圖二、廣義放射量測配置圖

Immunity – General measurement set-up

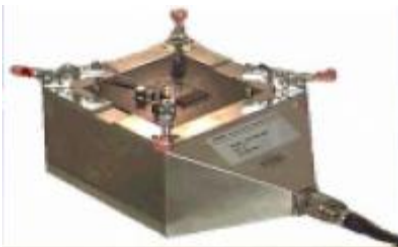

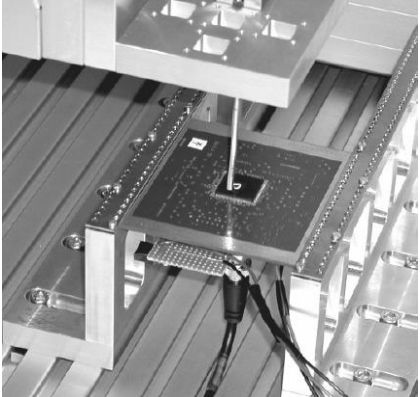
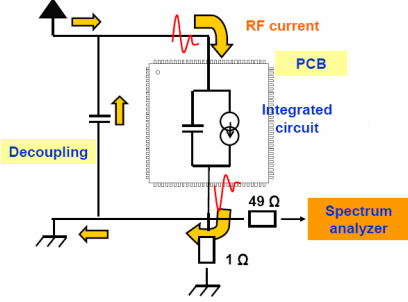


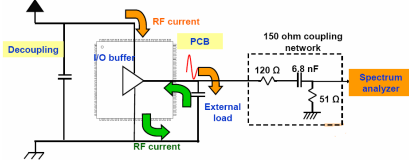
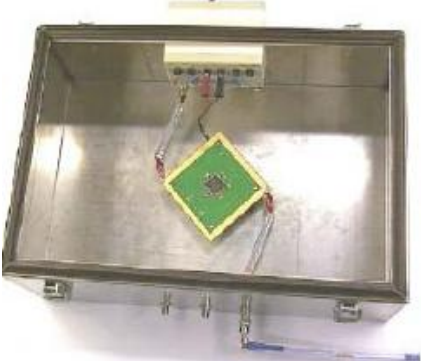

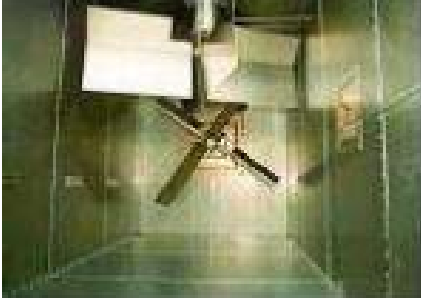
Immunity requirements verified ?


圖三、廣義免疫量測配置圖

不同的耦合方式也陸陸續續產生不同的標準量測方法，而各種量測方法各有其優缺點，故要如何選擇適當的量測方式還要看產品的應用面與成本考量。目前大部分的量測頻段因硬體設計的限制都規範在 150 kHz 至 1 GHz，少部份則可以應用至 18 GHz，未來 IEC 仍計畫提出更高頻的量測方法以便應付現今高速電子系統所帶來的電磁相容問題，表一和表二分別將就 IEC 61967 及 IEC 62132 標準作重點式說明。

表一、積體電路電磁放射量測方法

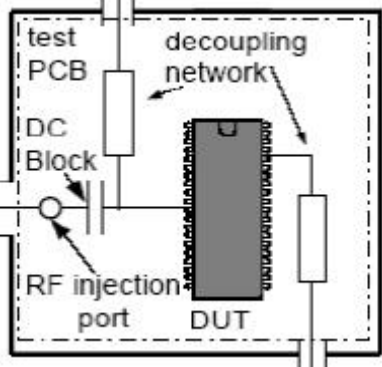
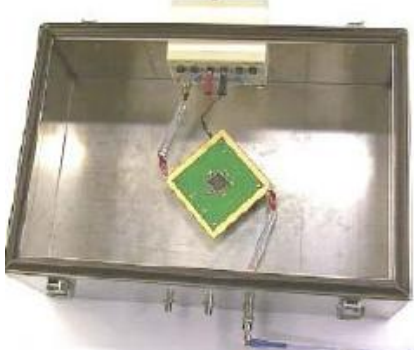
標準	說明	版本	圖示
61967-1	概括性說明與定義	2002-03	無
61967-2	輻射量測方法，使用橫向電磁室(TEM cell and wideband TEM cell method)，所測量頻率範圍：TEM 由 150 kHz 至 1 GHz；GTEM 可至 18 GHz，此法為最常使用之輻射量測方法。耦合具方向性，故需注意電路板擺放位置，且因只有垂直的電流迴路才能耦合，故無法量測晶片所有的輻射能量。	2005-09	<p>TEM:</p>  <p>GTEM:</p> 
61967-3	輻射量測方法，使用近場掃描法(Near field scan)測量頻率範圍：由 150 kHz 至 1 GHz，此法較屬於量測分析方法，適合找出任意形狀電路板的輻射熱點(hotspot)；而定量的量測需要做校正找出電場或磁場探棒的關係數，若是要做晶片上的掃描，探棒的解析度需要提高。	2005-06	
61967-4	傳導量測方法，使用 1 歐姆/150 歐姆直接耦合法 (1Ω/150Ω Direct coupling method)，測量頻率範圍：由 150 kHz 至 1 GHz，其中 1 歐姆	2006-07	


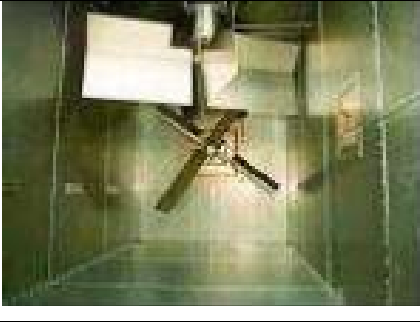
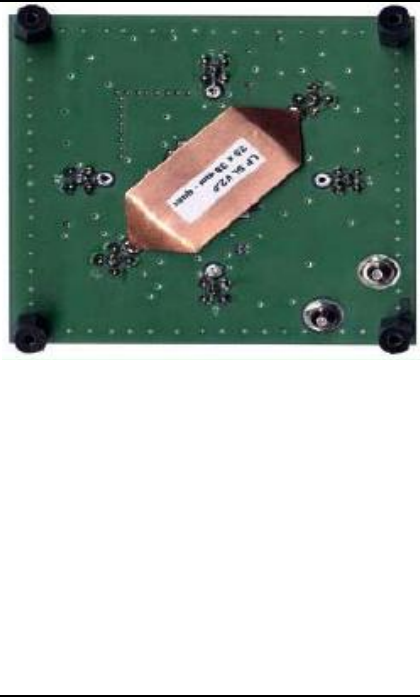
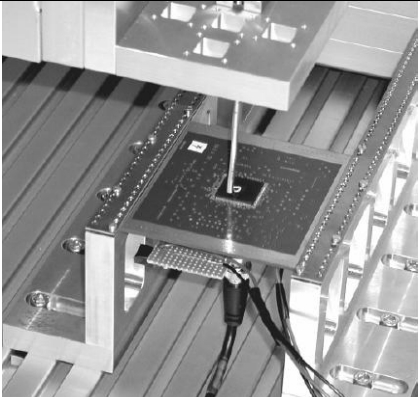
	<p>法主要量測接地迴流路徑的電流造成的電壓擾動及傳導輻射，150 歐姆法主要測量 IC 輸出端訊號切換所造成的電壓擾動，為使頻譜儀能充分偵測傳導輻射，兩者皆為匹配電路，此法具可重複性並為最常使用之傳導量測方法。</p>		
61967-5	<p>傳導量測方法，使用工作法拉第箱體法 (Workbench Faraday Cage Method)，測量頻率範圍：由 150 kHz 至 1 GHz。</p>	2003-02	
61967-6	<p>傳導量測方法，使用磁場探棒法 (Magnetic probe method)，測量頻率範圍：由 150 kHz 至 1 GHz。</p>	2008-06	
61967-7	<p>輻射量測方法，使用模態攪拌室方法 (Mode stirred chamber method)，測量頻率範圍：由 150 kHz 至 1 GHz。</p>	提案中	

61967-8	輻射量測方法，使用積體電路帶狀線法 (IC-Stripline method)，測量頻率範圍：由 150 kHz 至 1 GHz，目前為最後版本進行投票中，測量配置類似 TEM 但所佔用之體積較 TEM 小，為 TEM 方法之改進版。	投票中	
---------	-----------------------------------------------------------------------------------------------------------------------	-----	-------------------------------------------------------------------------------------

表二、積體電路電磁免疫量測方法

標準	說明	版本	圖示
62132-1	概括性說明與定義	2006-01	無
62132-2	輻射免疫量測方法，使用橫向電磁室(TEM cell and wideband TEM cell method)，測量頻率範圍：TEM 由 150 kHz 至 1 GHz；GTEM 可至 18 GHz，此法為較常使用之輻射免疫量測方法。	2010-03	<p>TEM:</p>  <p>GTEM:</p> 
62132-3	傳導免疫量測方法，使用大電流注入法 (Bulk current injection method)，測量頻率範圍：由 150 kHz 至 1 GHz，利用兩個磁力線圈套在欲干擾的線路上，一個注入射頻干擾訊號，另一個偵測所製造出的干擾電流；這種方法最大的問題在重複	2007-09	

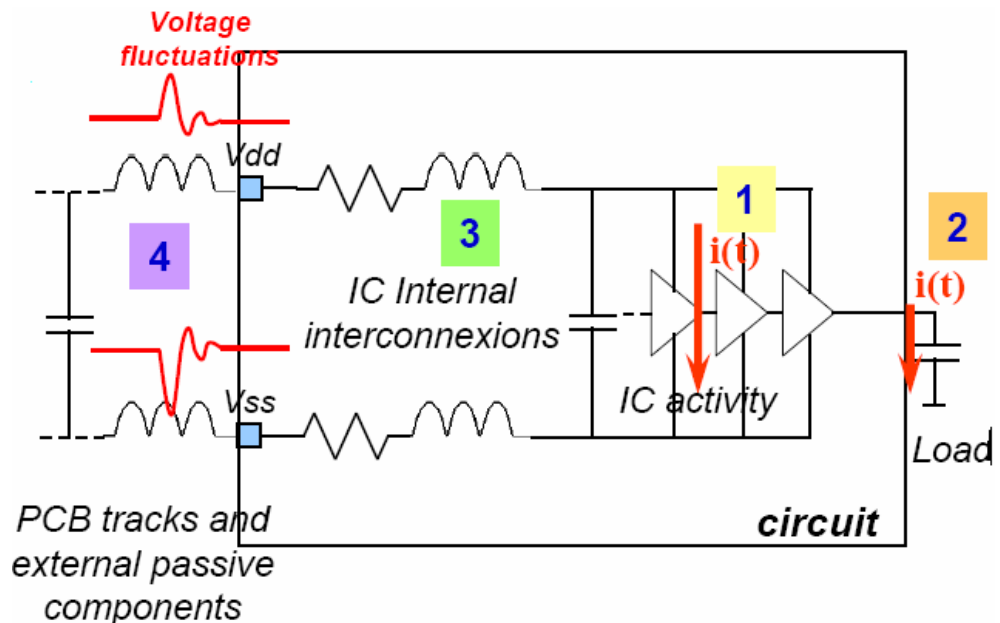
	<p>性(repeatability)，與環境配置包括隔離室、與接地面的高度、注入線圈的位置等高度相關，但此法仍為較常使用之傳導免疫量測方法。</p>		
62132-4	<p>傳導免疫量測方法，使用直接射頻功率注入法耦合法(Direct RF power injection method)，測量頻率範圍：由 150 kHz 至 1 GHz，直接功率注入法的重點在於如何設計合適的耦合電路以及功率注入電路，使射頻干擾能量能完整地注入 DUT，而去耦合電路能完整地保護外在電路不受干擾，此法為較常使用之傳導免疫量測方法。</p>	2006-02	
62132-5	<p>傳導免疫量測方法，使用工作台法拉第箱體法(Workbench Faraday Cage Method)，測量頻率範圍：由 150 kHz 至 1 GHz。</p>	2005-10	

62132-6	輻射免疫量測方法，使用局部注入喇叭天線法(Local injection horn antenna method)，測量頻率範圍：由 150 kHz 至 10 GHz。	提案中	
62132-7	輻射免疫量測方法，使用模態攪拌室方法(Mode stirred chamber method)，測量頻率範圍：由 150 kHz 至 1 GHz。	提案中	
62132-8	輻射免疫量測方法，使用積體電路帶狀線法(IC-Stripline method)，測量頻率範圍：由 150 kHz 至 1 GHz，目前為最後版本進行投票中。測量配置類似 TEM cell 但所佔用之體積較小，且較傳統 TEM 方法有大於 20dB 的有效量測，可維持 TEM 模態達到 6 GHz，為 TEM 法之改進版。	投票中	
62132-9	輻射免疫量測方法，使用近場掃描法(Near field scan) 測量頻率範圍：由 150 kHz 至 1 GHz，可運用於任意形狀的電路板找出敏感的區域，此法較屬於量測分析方法。	提案中	

第二節、積體電路電磁相容設計準則

現在大部分的電磁相容問題都在系統設計的最後階段才考量進來，解決的方法不外乎就是 PCB 去耦合電路的最佳化、元件的擺放位置、電源/接地面的佈局、濾波設計、接地設計以及屏蔽等方式，然而晶片才是真正問題的發生來源或是受害者，故治標不治本帶來的就是成本增加的問題，若能在晶片設計初期將電磁相容問題預先考慮在內，採用可能的策略與措施，相信將大大降低成本且依然擁有高性能的產品。本節將針對如何設計低干擾以及高免疫能力的積體電路提出一些設計準則，並解釋該法則的原因以及可能的應用範圍。

在找出如何使晶片達到低放射設計準則之前，首先必須了解會影響低放射的決定性因素(如圖四所示)：(1)晶片內部的擾動(通常是電流，Internal Activity, IA)、(2)晶片輸出端(Input/Output, I/O)所連接的外部附載、(3)晶片內部連接的濾波效應以及(4)PCB 上的外部路徑和耦合元件的濾波效應，再根據這些參數來找出低放射設計的對策。撇開第四點，底下將針對晶片內部所採取的降低電磁放射干擾策略作介紹。

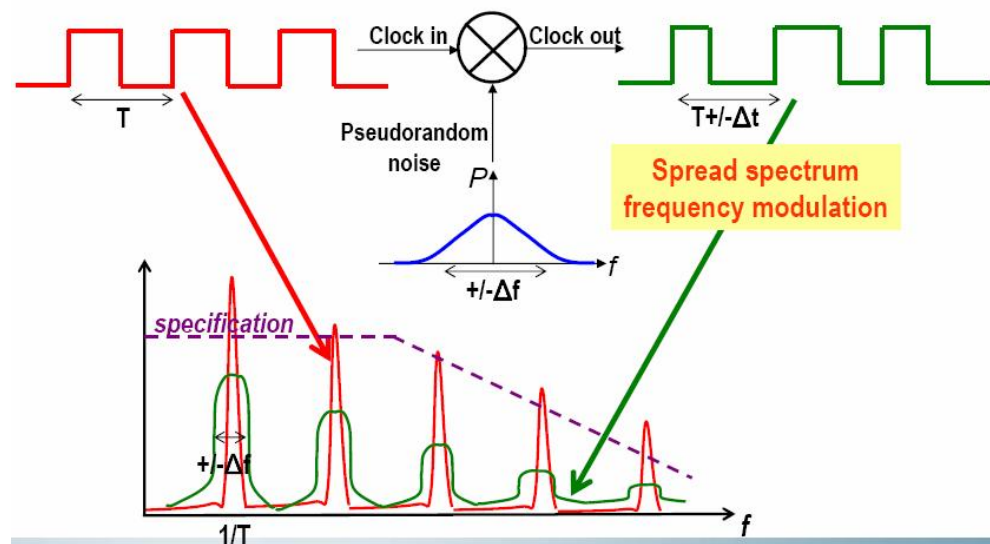


圖四、影響晶片低放射的決定性因素

1. 針對 IA 的對策：
 - (1) 直接將工作電壓降低：最直覺的方式也同時伴隨著降低整體晶片消耗功率的好處。

- (2) 電源/時脈的控制(Power/Clock gating)：時脈在轉態的過程中往往會產生高頻輻射，若將空閒中的邏輯區塊時脈擋下來，可以減低時脈轉態所造成的高頻輻射。
- (3) 差分信號(Differential signaling)：藉由一對傳輸線但不同相位的訊號可以將電磁場相互抵銷而降低輻射效應。
- (4) 展頻(Spread spectrum)技術：將固定時脈與類亂數雜訊(pseudorandom noise)調變成展頻訊號，使能量分散且降低至偏頻區域(見圖五)。
- (5) 非同步邏輯設計：採用無時脈邏輯設計也可降低 IA 輻射。

以上幾種方法可以看出解決方式不外乎針對電源端或是時脈來降低 IA 所帶來的電磁放射能量，但也非絕對適用所有設計，例如降低工作電壓會面臨到電路噪音容忍度(noise margin)的問題，如此會降低電路的免疫能力；而利用非同步邏輯設計雖然可以大幅降低時脈所造成的電磁輻射，但伴隨著的是系統設計上的複雜度，所以在設計上必須取得應用和成本面的妥協(tradeoff)。



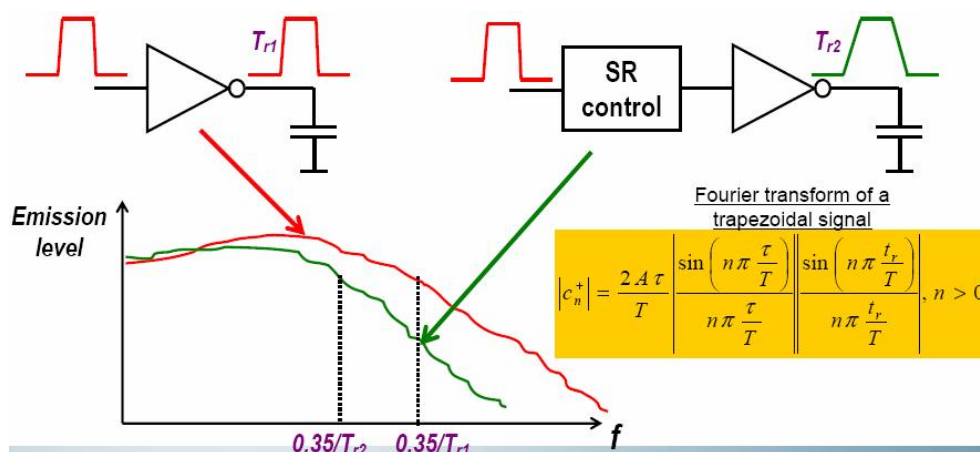
圖五、展頻技術

2. 針對 I/O 附載的對策：

- (1) 減低同步切換(simultaneous switching)的輸出入端數量：運用集線編碼(bus coding)技術以降低輸出入級同時切換的數目。

(2) 控制切換速度(slew rate)：在輸出端前加入可控制切換速度的控制電路，不使輸出電路一次全開而是有時間差地間隔打開以緩和切換斜率，讓輸出波形不像是方波而類似梯形波(見圖六)。

這些方法可運用在速度非關鍵的輸出入端上。



圖六、控制切換速度

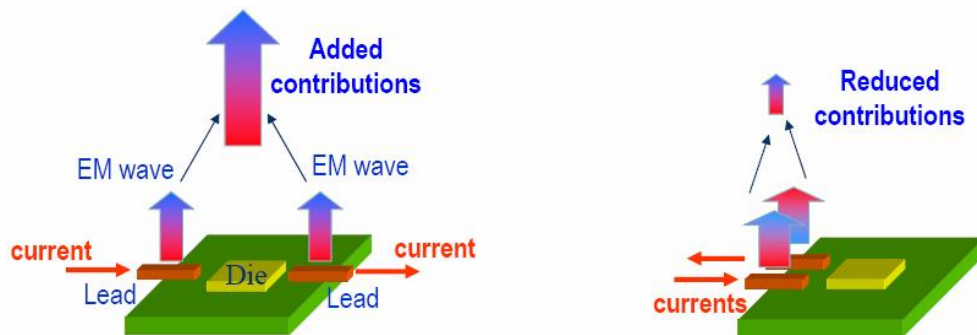
3. 針對晶片內連接的策略：

(1) 電源佈局(Power routing)：電源走線越短越好、電源與接地腳位最好能成對擺放、每 10 個 I/O 腳搭配一組電源接地對(Power-ground pair)、盡可能將電源接地對靠近雜訊較多的電路、在晶片內局部擺放穩壓器(embedded voltage regulator)等方式。

(2) 晶片上去耦合電容(on-chip decoupling capacitance)：在電源與接地間擺放去耦合電容。

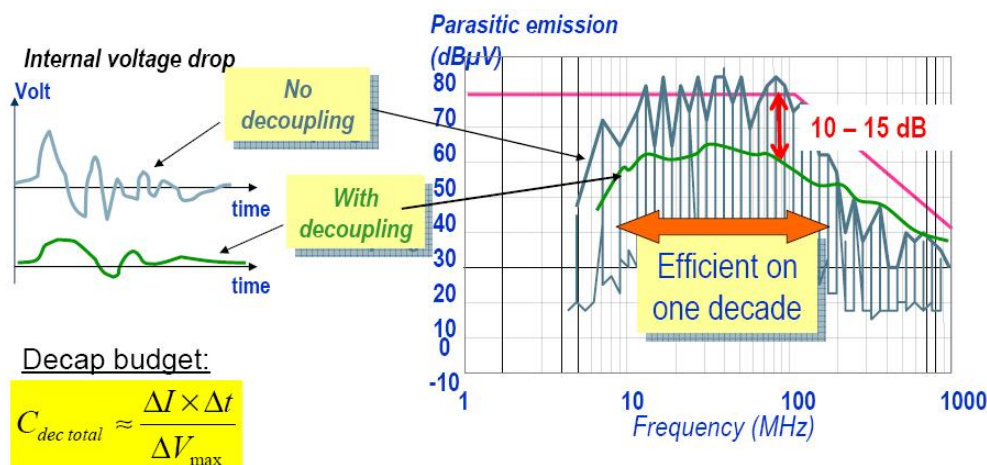
電源走線越短表示等效電感值會越小，所造成的暫態壓降($\Delta V=L \times \Delta i / \Delta t$)也會越小，而且同步切換雜訊(simultaneous switching noise, SSN)的效應也會越小，此外電感所造成的共振頻率也會越高；電源與接地成對擺放能夠讓電磁波互相抵消(圖七)，也能增加相互之間的耦合電容量，使電壓源擾動變小；每 10 個 I/O 腳搭配一組電源接地對主要也是降低內部連接過長造成電感過大的效應；雜訊過大的電路(一般為數位電路)所產生的暫態電流也大，故需要更多電源接地對，一方面供應大電流，另一

方面可以降低電感值(並連效果)；擺放穩壓器可以有效阻隔外接電壓造成的雜訊並提供內部電路穩定而乾淨的電壓，壞處是會佔用許多晶片面積。



圖七、電源接地對擺放之電磁波互相抵消效應

在晶片內部電源與接地間擺放去耦合電容主要提供局部能量槽 (energy tank) 讓暫態電流有較短回流路徑，藉此降低電源擾動(圖八)，圖九為得到有效去耦合電容之基本規則，其中 R_{ON} 是切換邏輯之導通阻抗。

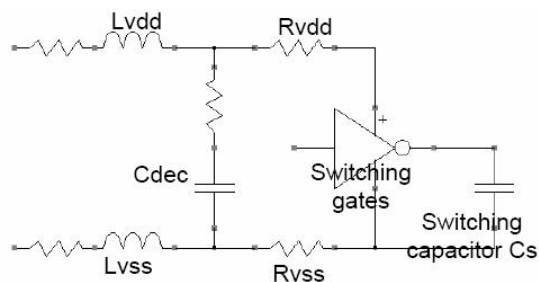


圖八、去耦合電容效應

$$\Delta V = \frac{V_{dd} \cdot C_s}{2(C_{dec} + C_s)}$$

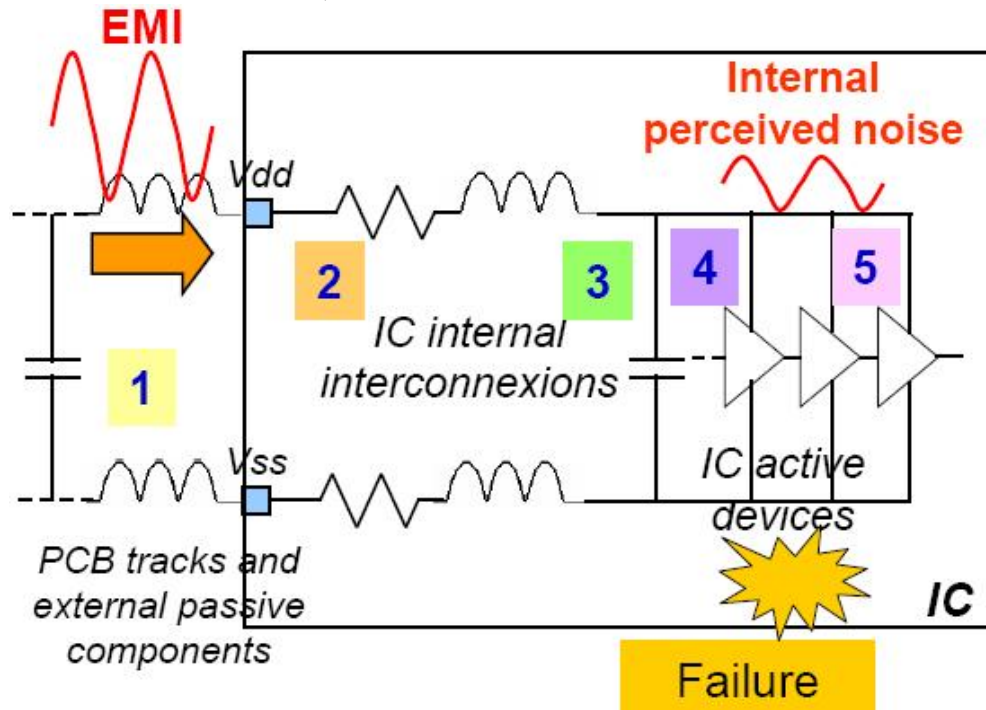
$$C_{dec} \gg C_s \quad (C_{dec} > 10 \cdot C_s)$$

$$R_{ON} C_s > R_{VddVss} C_{dec}$$



圖九、有效去耦合電容之基本規則

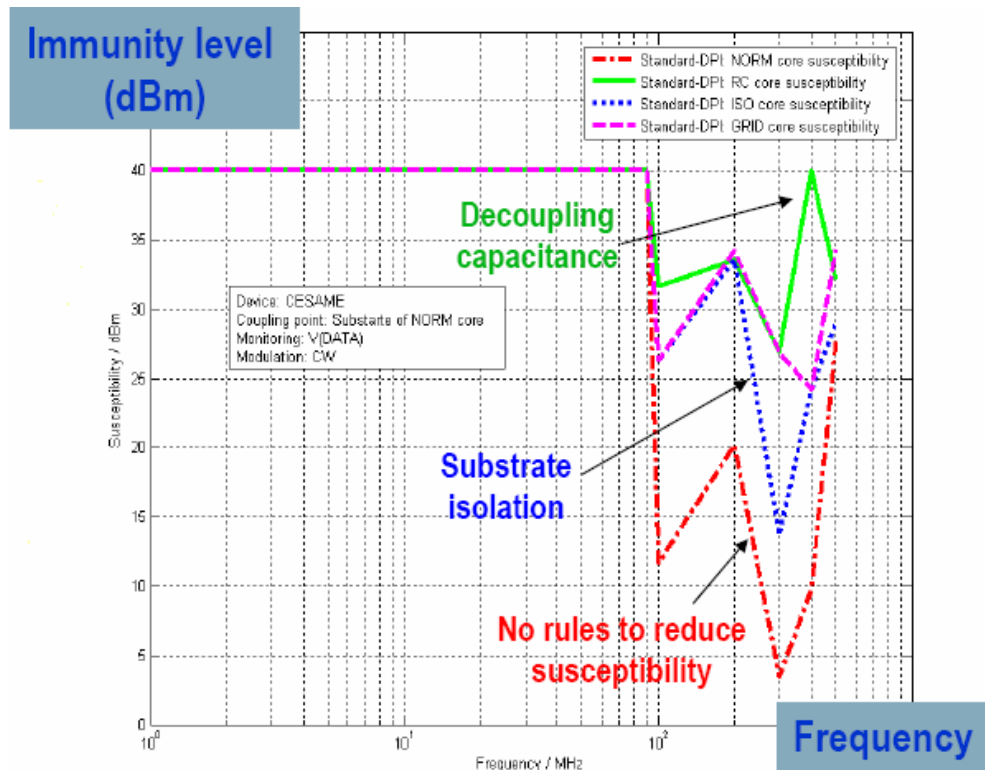
在找出如何使晶片擁有高免疫/耐受能力設計準則之前，同樣也要先了解會影響晶片免疫能力的決定性因素(如圖十所示)：(1)PCB 上的外部路徑和耦合元件的濾波效應晶片、(2)晶片內部連接的濾波效應、(3)IC 接腳內部的阻抗 (4)主動元件的非線性效應以及(5)晶片元件本身的免疫能力，再根據這些因素來找出高免疫力設計的對策。撇開第一點，底下將針對晶片內部所採取的增加電磁放射耐受能力的策略作介紹。



圖十、影響晶片免疫能力的決定性因素

1. 晶片上去耦合電容：

如同去耦合電容在晶片上降低放射的能力，在電源接地兩端加入電容，可以降低電源端的阻抗，意味著透過電源耦合到 IC 內部的雜訊會較少，所以可以得到較大的免疫能力，圖十一是根據 DPI 法所量測到的數據，可以看到加電容(綠色實線)所得到的高免疫力比較圖。



圖十一、DPI 法免疫量測比較圖

2. 雜訊區塊隔離(noisy block isolation)：

直覺上將較敏感的區塊(像是類比電路)與產生高雜訊的區塊作區隔可以使晶片得到高免疫能力，在實際作法上，可以採用下列方式：

- (1) 將電源做區分：即類比電源與數位電源分開不共用。
- (2) 將基板(substrate)作隔離：使用隔離圈(guard ring)、三重井(triple well)以及矽電晶體結構在絕緣層之上的製程(Silicon-On-Insulator, SOI)。
- (3) 距離：將高敏感區塊距離雜訊區越遠越好。
- (4) 利用封裝技術降低串音(crosstalk)或寄生耦合(parasitic coupling)問題。

將電源種類做適當的切割(power cut)可以避免雜訊透過電源路徑影響電路正常工作；隔離圈的使用不僅可以讓高敏感電路免於干擾，這種技術也常常使用在晶片內具大功率之輸出級以避免閃鎖效應(latch-up)，至於 triple well 以及 SOI 雖然能有效隔絕雜訊但較 CMOS 而言卻需要付出較高的製造成本；因為距離是有效而直接增加免疫力的方法，故在設計初期晶片內部的平面規劃

(floorplan)是相當重要的，最好將乾淨與干擾大的區塊作有效分割；將接地金線(ground bonding wire)在封裝時穿插在具雜訊的腳位與敏感腳位中作隔離也是簡單常用的技巧。

3. 對於類比電路的策略：

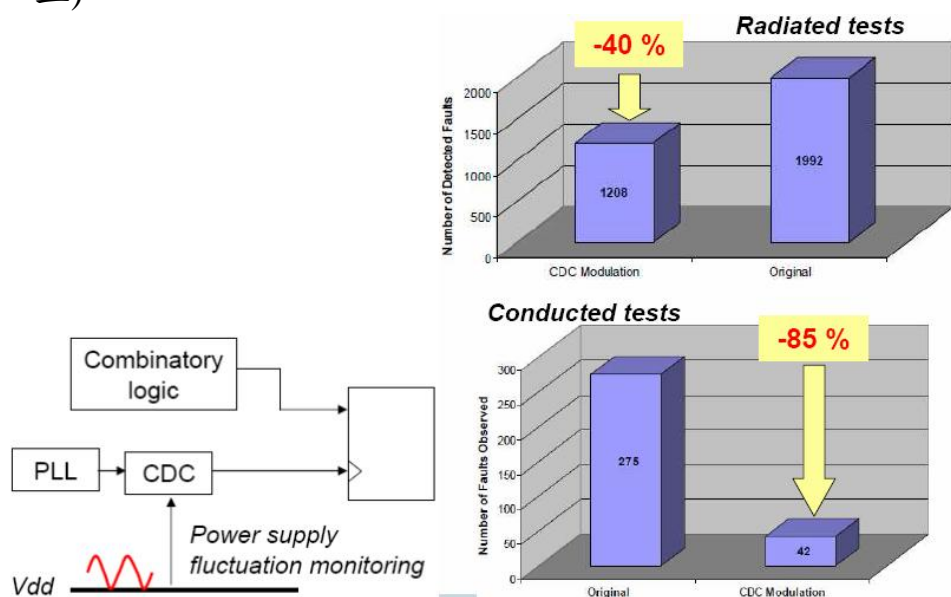
因為類比電路(放大器、類比輸出緩衝器、電流鏡以及電壓參考源等)常受到非線性與寄生電容的影響而造成功能錯誤，故在設計上必須考慮以下方式來避免干擾：

- (1) 在敏感端前擺放 RC 濾波器或是在差動對(differential pair)輸入端增加電容值以降低雜訊的影響。
- (2) 減低寄生電容。
- (3) 輸入元件線性化(linearization)。
- (4) EMI 造成的抵消補償，例如利用交叉耦合差動對(cross-coupled differential pair)。

4. 對於同步電路的策略：

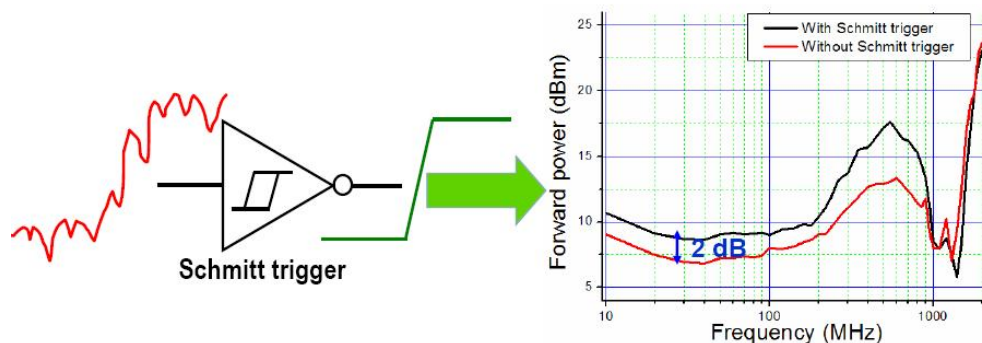
同步電路對於因電壓擾動所造成的訊號延遲非常敏感，往往 set-up 或 hold time 無法滿足而發生突波(glitch)現象造成錯誤，設計上可以考慮採用幾種方式避開：

- (1) 非同步電路：將電路改為不依賴時脈的電路。
- (2) 使用時脈工作週期(Clock Duty Cycle, CDC)調變電路(圖十二)。



圖十二、時脈工作週期調變電路可有效增加電路免疫能力

如同降低輻射對策，採用非同步邏輯設計雖然能擺脫因時脈可能造成的邏輯錯誤，相對需要較複雜的硬體來完成，直接影響到晶片製作成本；CDC 電路如同在組合邏輯電路中加入時間以抵消因電壓擾動造成的時脈影響，讓電路得以有較充裕的時間完成邏輯判斷或傳遞資料；此外像是在數位輸入緩衝級加入 Schmitt trigger 也能有效增加電路免疫力(圖十三)。



圖十三、數位輸入緩衝級加入 Schmitt trigger 能增加電路免疫力

綜合來說，降低放射值的基本規則就是：降低尖電流、降低封裝電感值以及使用去耦合電容；而增加免疫力的基本規則就是：利用去耦合或濾波技巧防止雜訊進入敏感區域、基板隔離、增加雜訊和延遲界線(noise and delay margin)以及減低類比電路會由 EMI 造成的偏移(offset)。

第三節、積體電路電磁相容模型建立

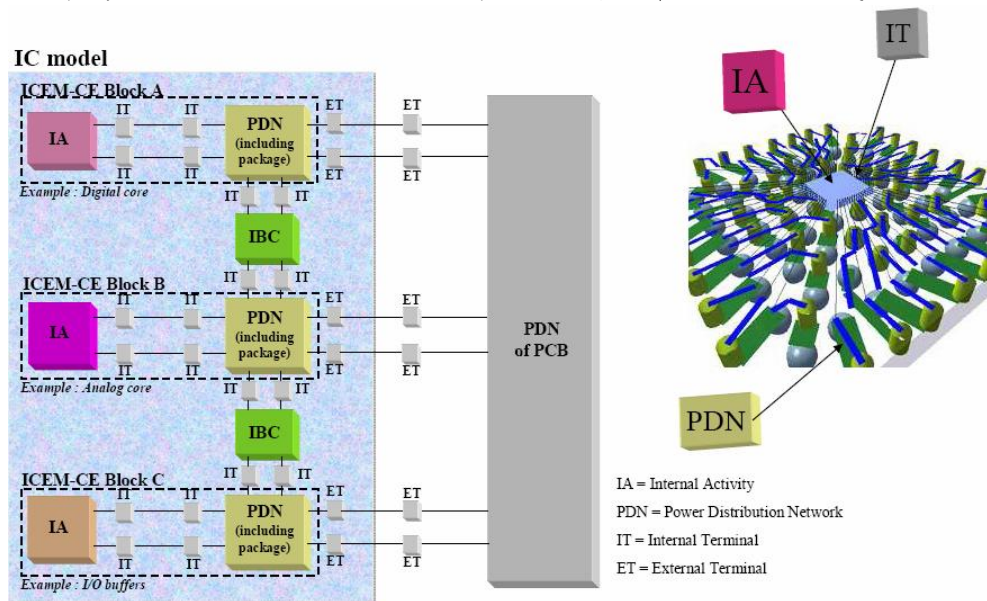
大部分的電磁容量測都只能在成品完成後，才能發現問題在哪，而模型的優點在於能事先預測 IC 電磁相容和電源完整性 (Power Integrity, PI) 的行為，並將產品最佳化，如此能大幅節省設計時間與成本。然而要將好幾個數量級差別的產品(晶片、封裝以及電路板)整合並且模擬並非易事，也因此 IEC 於 2000 年在標準技術委員會 47A 之下成立工作小組二(working group 2)，主要制定 IC-EMC 模型標準 IEC 62433，圖十四可以看出目前在這方面的標準尚不夠成熟，有許多地方待研究突破，本節將以已出版之電磁放射傳導模型 62433-2 為主要對象並討論如何建立可用之模型。

	Conducted mode	Radiated mode
Emission	ICEM-CE IEC 62433 - 2	ICEM-RE IEC 62433-3
Immunity	ICIM-CE IEC 62433-4	ICIM-RE IEC 62433-5
	Impulse immunity IEC 62433-6	
Intrabloc	Intra-bloc EMC IEC 62433-7	

	Standard available		Research undergoing
	Draft of standard		

圖十四、IEC 62433 標準制定現況

圖十五為 62433-2 的巨觀模型(macro model)，分別定義了內部行為(IA)、電源分布網路(PDN)、區塊間耦合(Inter-Block Coupling, IBC)以及連結介面(terminal)，每個定義區塊中可以電路參數(R/L/C/V/I)或是散射參數(Scattering parameter)等物理模型來描述，藉由這樣的定義或概念可以由晶片內部延伸到封裝最後到電路板，最後將複雜的電路系統經由同樣的定義或參數整合起來，再經由類似 SPICE 或是 Verilog 等電路邏輯模擬軟體來預測傳導輻射之行為，底下將深入介紹如何描述或是萃取這些組成。



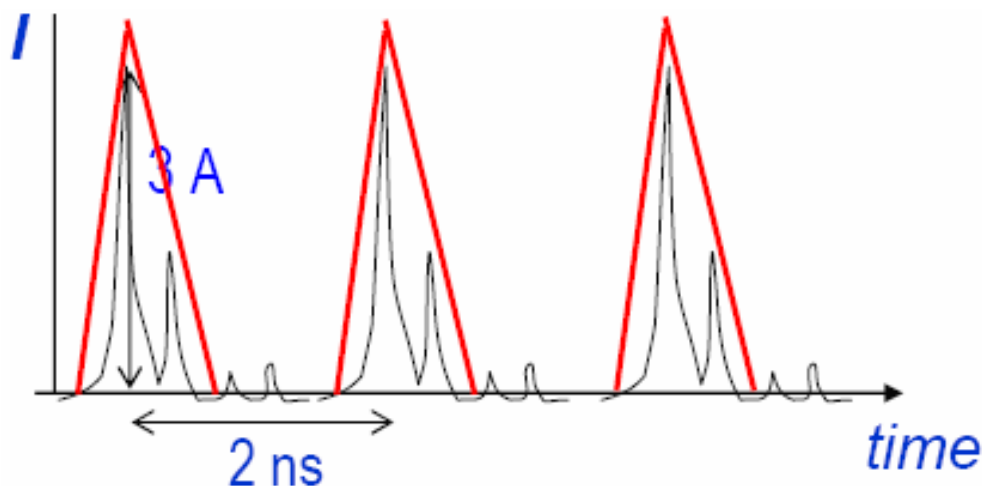
圖十五、電磁放射傳導巨觀模型[IEC 62433-2]

1. 內部行為(Internal Activity, IA)：

最快能取得 IA 資料的途徑就是使用技術資料(見表三)，舉例來說，對於 0.5um ASIC 製程而言，邏輯密度約 7000，所以在一個 $3 \times 3 \text{ mm}^2$ 面積大小的晶片上約有 $7000 \times 9 = 63\text{k}$ 個邏輯閘，假設其中 10% 的邏輯同時動作，可以推算在每個時脈作切換時，這顆晶片會出現 $63\text{k} \times 10\% \times 0.75\text{mA} = 4725\text{mA}$ 的峰值電流。為方便描述 IA 波形，可以用簡單的三角波來表示(如圖十六所示)。

表三、CMOS 邏輯技術之典型參數[IEC 62433-2]

Technology CMOS	Power supply V	Cell density /mm ²	Peak gate current mA/gate	Rise/Fall time ns
1.2um	5	1500	1.1	0.7
0.8um	5	4000	0.9	0.5
0.5um	5	7000	0.75	0.3
0.35um	5 – 3.3	13000	0.6	0.2
0.25um	5 – 2.5	18000	0.4	0.12
0.18um	3.3 – 2.0	22000	0.3	0.1
0.12um	2.5 – 1.2	28500	0.2	0.07

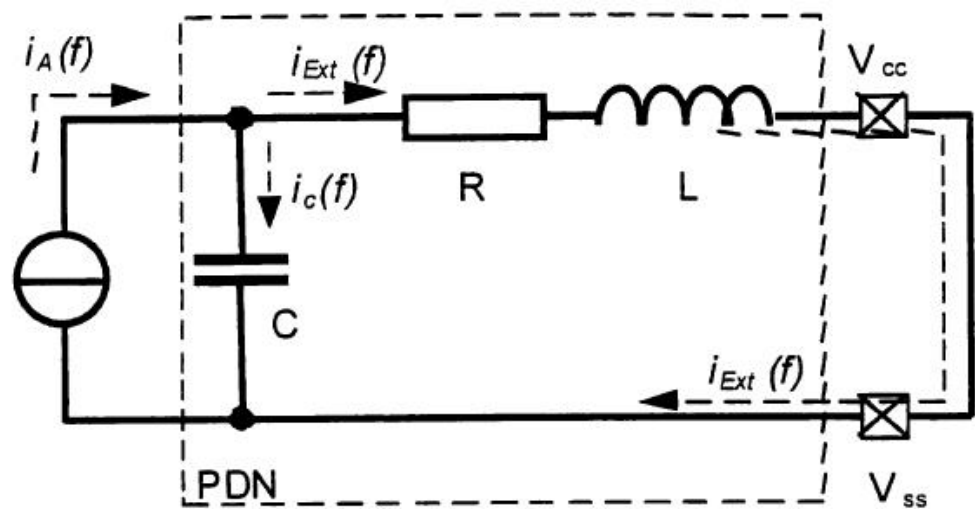


圖十六、IA 時域波形

另一種較複雜的方法首先可以在設計初期，建立起較常使用到的邏輯閘搭配典型的附載，再利用 SPICE 模擬出電流波形，然

後利用 Verilog 模擬邏輯雜的行為，最後將兩者組合成 IA 模型，這樣的方式可以更精確描述但需要花較多時間建立相關模擬。

最後一個方式可以透過外部量測的電流(量測的方法如 IEC 61967-4)，並利用已知的 PDN 參數間接算出內部 IA，而描述 IA 的行為可以是時域或是頻域的代表方式，若是時域波形可以先利用 FFT 轉換成頻域再利用圖十七的公式算出內部 IA，最後在用反 FFT 得到時域的 IA 模型。

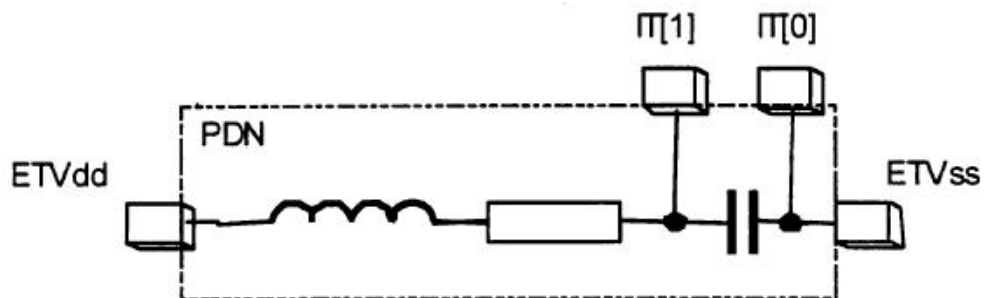


$$i_A(f) = j\omega C \cdot (R + j\omega L + 1/j\omega C) \cdot i_{ext}(f)$$

圖十七、推導出內部 IA 的原理[IEC 62433-2]





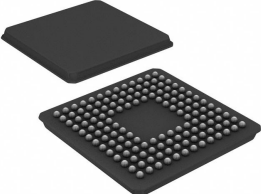

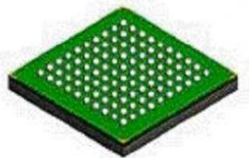
2. 電源分布網路(Power Distribution Network, PDN)：

圖十八是典型的 PDN 模型，ETVdd 以及 ETVss 分別表示 PDN 外部的接腳，IT[0] 和 IT[1] 表示內部的接點。如同 IA 一樣，要最快地取得 PDN 資料的途徑就是使用製造商所提供的技術資料(見表四)，這些值大致上可以運用的頻段在 DC 到 1 GHz 左右。



圖十八、典型的 PDN 模型[IEC 62433-2]

表四、典型的封裝參數[IEC 62433-2]

Package		Pin count	R Ω	L nH	C pF
	Dual in Line (DIL)	64 pins	0.025–0.075	2 – 15	1 - 10
	Shrink Dual in Line (SDIL)	64 pins	0.025–0.1	1 – 10	1 - 10
	Small Outline Package (SOP)	64 pins	0.025–0.05	1 – 7	1 - 7
	Quad Flat Pack (QFP)	400 pins	0.035–0.55	3 – 7	2 - 5
	Ball Grid Array (BGA)	800 pins	0.05–0.15	0.5 – 10	1 - 10
	Fine Pitch Ball Grid Array (FBGA)	1500 pins	0.05–0.2	0.5 – 10	1 - 20
	Mould Chip Scale Package (MCSP)	1500 pins	0.025–0.1	0.5 – 5	1 - 15

另一個取得 PDN 模型的方法可以採用三維電磁模擬軟體(3D EM solver)，經由模擬求得 PDN 散射參數，再簡化成可對應之集總元件(lump element)模型；也可以預先建立一具物理意義之集總元件模型，再透過數學運算解聯立方程式，求解出元件之參數值。這些方法隨電路之複雜度與準確度，可以適當的簡化以滿足模型與實際量測之需求。

此外，PDN 亦可藉由量測得之，透過治具、正確的校正方式以及網路分析儀的使用，可以將 IC 內部之 PDN 萃取出來。一般而言，PDN 的阻抗範圍約在 0.05Ω 到 500Ω 之間，通常可以採用 S11 量測分析，其關係式如下，

$$Z_{DUT} = -25 \times \frac{1 + S_{11}}{S_{11}}$$

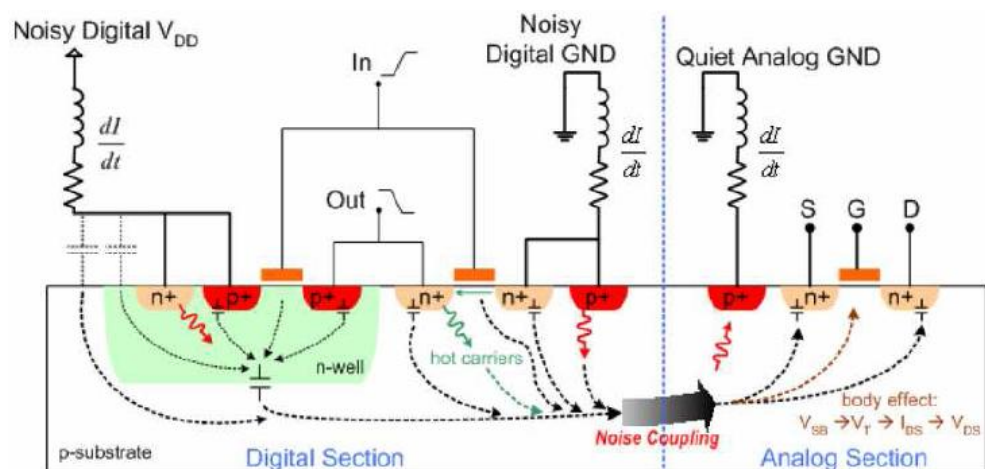
不過這種方法在 10% 的精準度條件下，能夠涵蓋的阻抗範圍在 5Ω 到 500Ω 之間，要得到更寬之阻抗範圍可以使用 S21 量測分析，其關係式如下，

$$Z_{DUT} = 25 \times \frac{S_{21}}{1 - S_{21}}$$

這種方法在 10% 的精準度條件下，能夠涵蓋的阻抗範圍在 0.5Ω 到 500Ω 之間。

3. 區塊間耦合(Inter-Block Coupling, IBC)：

區塊間耦合效應一般來說，較無法向前述兩個區塊有經驗值或是透過外部量測反推模型，必須仰賴設計初期的佈局作簡單的模型建立，比方說在數位與類比電路之間因為共用同一塊基板之故(圖十九)，會有無可避免之雜訊耦合路徑，可以先以簡單的電阻串聯代表或是在 PN 介面中以電容(反偏壓的情況下)代表，最後搭配 PDN 的模型，微調 IBC 的電阻或是電容參數。值得注意的是，當電源打開或是關上時，因為 PN 介面的非線性電容以及電晶體開或關造成的電容隨電壓的變化會影響 IBC 的電容參數，這種情形特別會發生在低頻。



圖十九、典型 CMOS 製程基板之雜訊耦合效應

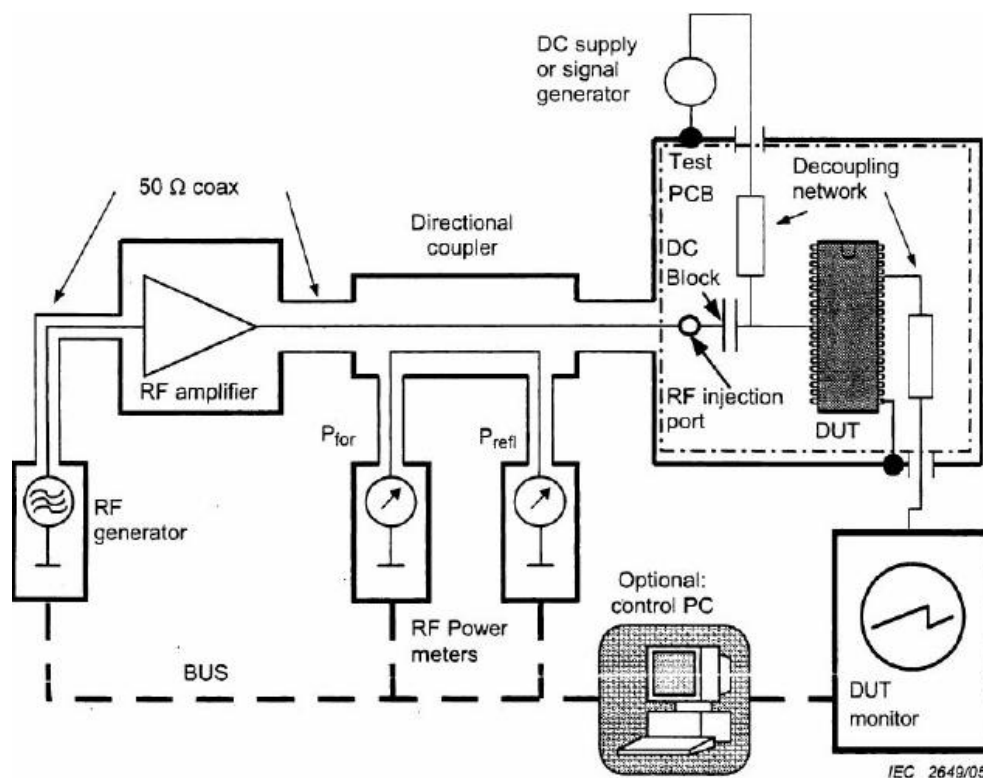
第二章、積體電路電磁相容實務訓練

本章以常用汽車晶片為對象，採用 IEC 62132-4 直接功率注入法(Direct Power Injection, DPI)作實驗探討，並運用前一章之被動/電源分布網路(Passive/Power Distribution Network, PDN)以及散射參數(Scattering parameter)方法以建立模型之用，最後與量測比較。

第一節、針對 L4949 採用直接功率注入法

1. DPI 量測

圖二十所示為 DPI 的量測配置圖，透過直接耦合器(Directional coupler)與射頻功率計(RF Power meters)，DPI 法可以利用放大器將射頻產生器之訊號注入到待測物 IC 腳位，並測量入射與反射的射頻功率大小，另一端可以接監控儀器作為判斷待測物發生故障之用，整個系統可以用控制電腦將射頻產生器、功率計以及監控儀器之訊號做整合，量測出待測 IC 之傳導免疫數據。



圖二十、DPI 配置圖[IEC 62132-4]

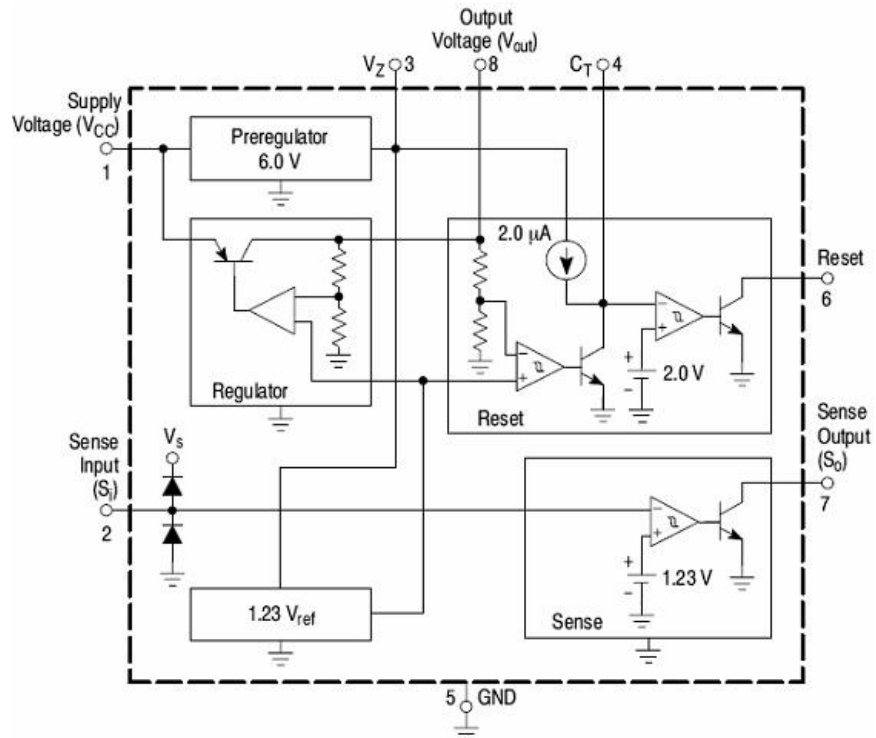
射頻輸入路徑之阻抗最好為 50Ω ($VSWR < 1.2$) 以吸收反射波，若阻抗並非 50Ω ，特別是放大器與傳輸線之間可以插入衰減器

(attenuator)以達到阻抗匹配之效果；而直接耦合器的 VSWR 需小於 1.15。

整個 DPI 的核心精神在於要如何在電路板上完整地將射頻測試訊號送至待測 IC 端，而且過程中不會發生輻射；若是有 DC 耦合路徑，能確保在所測量頻段內不受到射頻訊號影響。因此在選擇圖二十中的直流阻隔元件(DC Block)與去耦合網路(Decoupling network)就相當重要。為使射頻干擾訊號能完整地送至 IC 端，整個電路板的射頻傳輸路徑(包含直流阻隔元件加上 50Ω 傳輸線)需經過測試以確保在整個量測頻段內的插入損耗(Insertion loss 或是 S21)都能保持很小的定值且沒有任何共振現象發生；去耦合元件的阻抗最好能在量測範圍中提供至少大於 400Ω 的阻抗值以確保耦合路徑的隔離，而且去耦合元件與 IC 接腳或是 DC Block 之間應越短越好(小於最高頻率之 1/20 波長)，以減少阻抗不匹配的效應。

2. L4949 概述

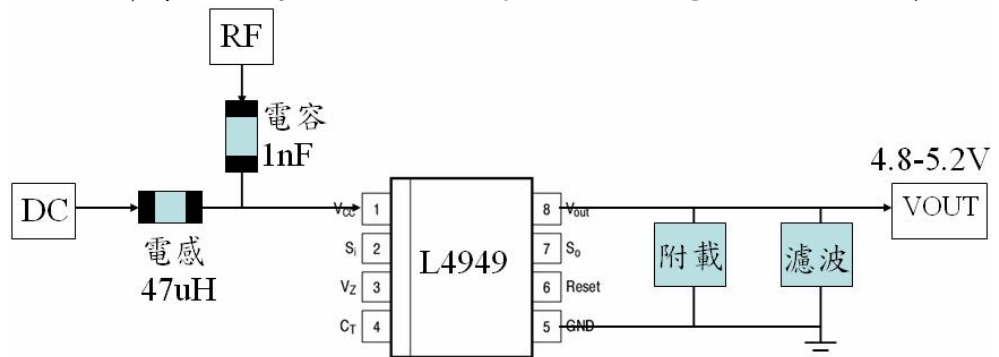
L4949 是一個份用型之低功率穩壓器(regulator)，能提供車用系統中微控器之電源使用，該穩壓器能將外部 5 到 28V 的電壓調節成 $5V \pm 1\%$ 的穩定電壓輸出，圖二十一為 L4949 之方塊圖，由圖中可以知道該穩壓器由五大部分組成，分別為穩壓器(regulator)、前級穩壓器(preregulator)、重置(reset)、感應(sense)以及電壓參考電路(voltage reference)，穩壓器主要使用一獨立之集極(collector)垂直 PNP 電晶體為穩壓元件，因此可以在大電流為 100mA 的情況下，仍然維持相當低之最小電壓差(low dropout voltage)。為了研究 DPI 造成 IC 的錯誤機制，我們主要針對穩壓器、前級穩壓器、以及電壓參考電路進行測試。



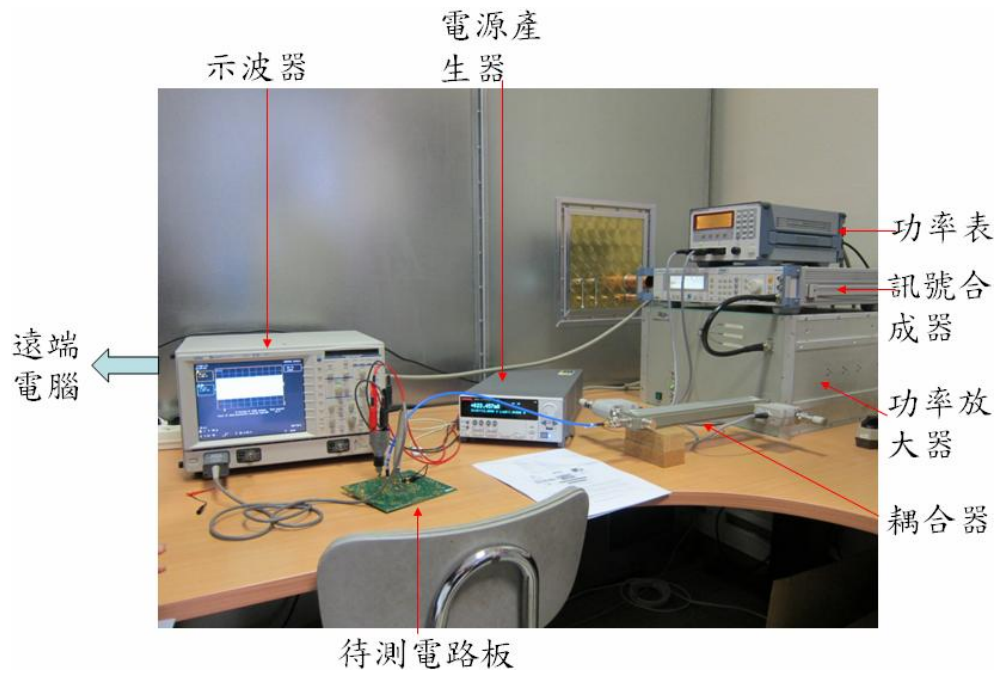
圖二十一、L4949 系統方塊圖

3. 系統量測

圖二十二為依據第一小節所描述的量測配置所建置的 L4949 DPI 測試示意圖，電路板上的注入以及觀察點皆有相同的佈局，同時也複製同樣的 RF 和 DC 耦合和去耦合路徑做為網路分析儀校正之用，待測物採用的是 SOIC-8 封裝，在穩壓器測試中，只用到四個觀測點：電源端、RF 注入端、輸出監控端以及接地端。圖二十三則為實際的硬體配置圖，示波器主要判斷電壓輸出是否低於 4.8V 或超過 5.2V，所有量測到之資料則透過資料匯流排(IEEE Bus)傳送至遠端電腦以便處理 L4949 免疫力測試數據。

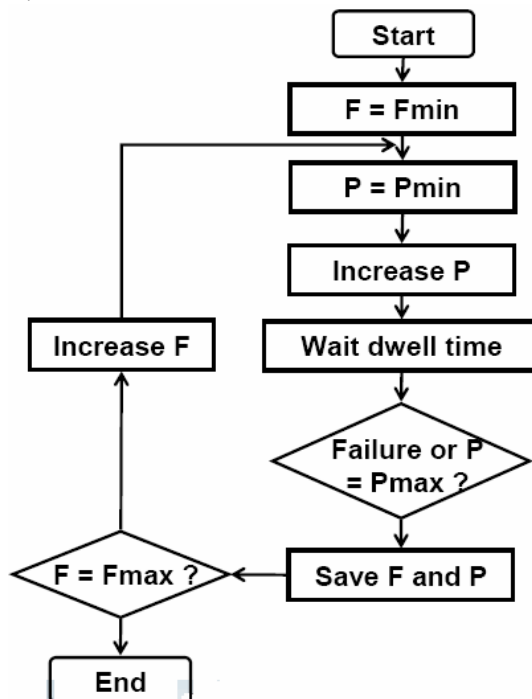


圖二十二、L4949 DPI 測試圖



圖二十三、L4949 實際量測建置

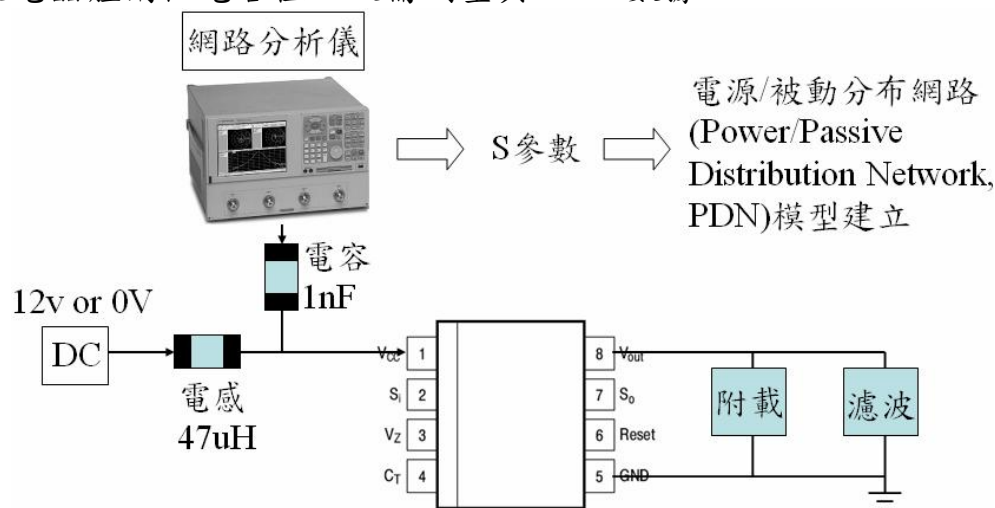
整個測試的流程是由一步步的頻率與射頻功率改變交互完成(圖二十四)，要注意的是每改變注入功率時，需要一段足夠的時間(dwell time)讓 IC 反應再行判斷 IC 功能正常與否，等待時間因系統而異，如此程序直到測試的最高頻率為止；頻率與功率改變的間隔預設值可以參考 IEC 62132-1。



圖二十四、測試流程圖

第二節、被動分布網路參數萃取

圖二十五為利用網路分析儀來萃取 L4949 電源/被動分布網路之測試圖，因為網路分析儀的 S 參數量測需要將量測之參考平面(reference plane)移至 IC 接腳，所以經由電纜線、SMA 接頭、耦合/去耦合元件以及傳輸線之效應必須校正掉，電纜線的部份可以輕易地利用 VNA 提供之校正件(calibration kit)將參考平面移至電纜端，然而接頭經由耦合元件以及傳輸線到 IC 接腳的部份則必須在電路板上複製同樣的模式，再利用 SOLT 的方法，將最後的 VNA 參考平面移到 IC 接腳端，如此才能得到真正 IC 內部 PDN 之 S 參數。而在電源 DC 為 12V 或是 0V 各有不同的 PDN 狀態的原因是，因為不同電壓下，影響著 PN 接面的非線性電容以及電晶體閘極電容值，故需測量其 PDN 數據。



圖二十五、PDN 萃取量測配置圖

整個測量步驟如下：

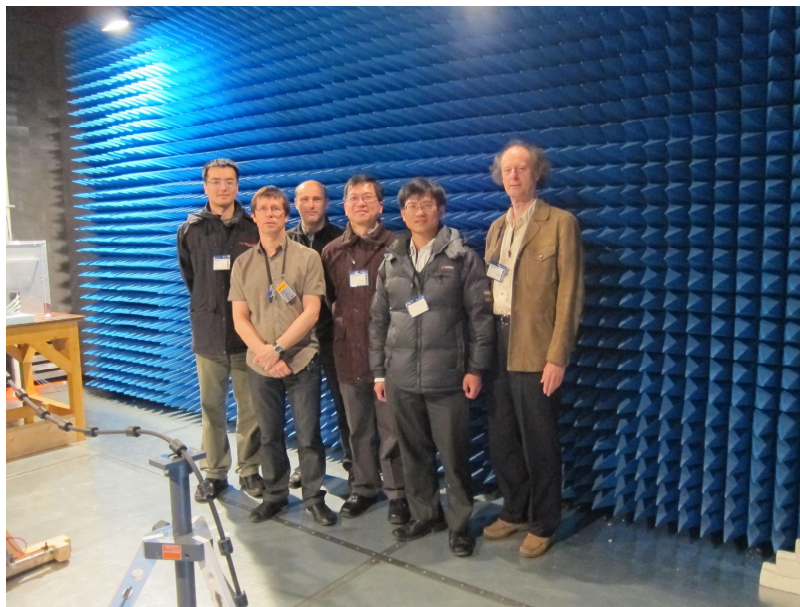
1. 將 L4949 接上電源並測試輸出以確保 PCB 和 IC 正常動作。
2. 準備 VNA，將頻率範圍設定在 100 kHz 到 3 GHz，整個取樣點設為 1000 並設定參數與資料格式。
3. 將電纜線接上 VNA 並作 SOLT 校正。
4. DC 為 0V 時，將 DC 端接為 50Ω 到地，VNA 進行 S11 量測。
5. DC 為 12V 時，移除 50Ω 到地並將 DC 端改接 12V 電源，VNA 進行 S11 量測。
6. 由 VNA 輸出 S 參數數據供第二章第三節提到之模型使用。

第三章、參訪行程

本章將拜會法國重要 IEC 工作小組成員、參觀汽車應用與設計大廠以及拜會電磁相容領域之重要學術機構，尋求參與國際標準組織之可能性以及國際合作之行程作詳細之介紹，參訪總計共五個單位：Continental, EADS-IW, Freescale, INSA 以及 IRSEEM/ESIGELEC，前四個單位皆位於法國南方 Toulouse，最後一個單位位於法國西北方 Rouen。

第一節、參觀汽車應用大廠

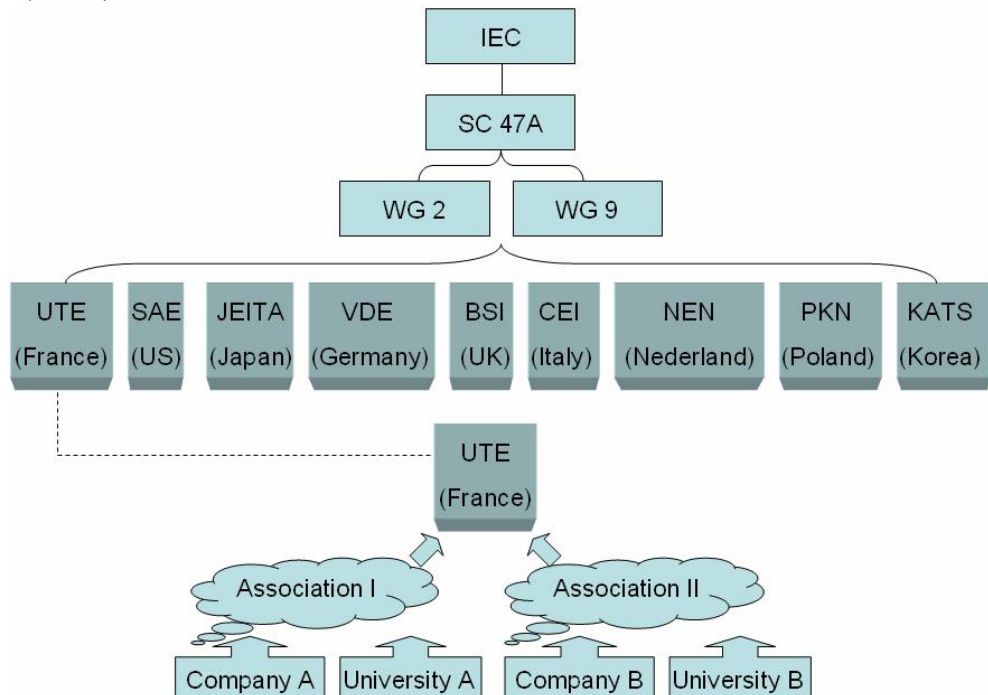
Continental 由車輛品質實驗室 (Automotive Quality Laboratories) 負責人 Francis COLOMBIE 以及 Andre DURIER 接待台灣參訪人員，簡介其車用 Module (如引擎控制器等) EMC 之量測項目與設備，近兩小時的時間內，總計參觀了廠內干擾 (Emission)、免疫 (Immunity) 大型微波暗室、法拉第箱 (Faraday Cage)、大電流注入 (Bulk Current Injection, BCI) 以及靜電放電 (ESD) 等測試設備；特別是在測量某車輛控制器，雖然有機器自動化輔助，但為了測試該控制器就需花上數個月的時間作位置的微調，台灣參訪人員對於 Continental 在 IC-EMC 方面所累積的量測能力、測試精密程度、自動化環境與嚴謹的測試環境留下了深刻的印象。



圖二十六、Continental 微波暗室合影(由右至左：Freescale John SHEPHERD 先生；標準檢驗局陳秋國技士；晶片製作中心張大強副組長；Continental Andre DURIER 與 Francis COLOMBIE 先生；標準檢驗局張彥堂技士)

第二節、拜會 IEC 工作小組

在參觀過 Continental 後即前往 Freescale 與 IEC 工作小組重要成員會面，進行約一個小時的會議。參與單位有 BSMI、EADS-IW 以及 Freescale，會議主要了解到法國參與國際標準制定的架構與詢問台灣參與標準制定的可能管道。整合會議內容與 IEC 網站之訊息，可以得到目前 IEC SC 47A 與各國標準組織之關係架構(如圖二十七)，在法國一般公司可以先參與聯盟，再透過聯盟參與 UTE 的活動；學術界則有機會直接參與 UTE 內有關 IEC 的活動。



圖二十七、IEC SC 47A 與各國標準組織之關係架構圖

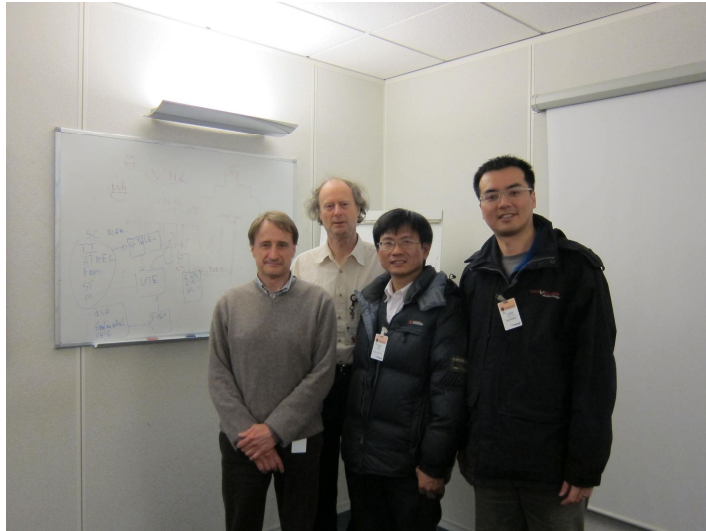
UTE 是法國在 IEC 的國家代表 (National Committee, NC)，目前在 IEC 內積極參與有關 IC-EMC 量測方法與模型化方法標準制訂活動；在 IEC 內有關半導體元件 (Semiconductor Device) 之標準由 TC 47 負責 (TC=Technical Committee)，其中積體電路 (Integrated Circuits, IC) 部分則由 SC 47A 負責 (SC=Sub-Committee)；SC 47A 之下設有兩個與 IC-EMC 標準制訂活動有關之工作小組 (Working Group, WG)：WG 2 負責邏輯數位積體電路 (Logic digital integrated circuits) 範疇，目前積體電路電磁相容模型 (EMC IC modelling) 標準即由 WG 2 負責；WG 9 之任務範疇為積體電路電磁相容測試程序與量測方法 (Test procedures and measurement)

methods for EMC in integrated circuits)，目前 IC-EMC 之量測標準制訂即由 WG 9 負責。

每個在 IEC 內之工作小組 均有一位 Convenor 負責召集會議，在有新的計畫形成時，召集人 通常（但不一定）會擔任計畫主持人的角色；目前 SC 47A-WG 2 之召集人為 Goichi Yokomizo（日本籍），SC 47A-WG 9 之召集人為 Christian Marot（法國籍）。在 SC 47A 內目前正在進行與 IC-EMC 模型標準制訂相關的計畫為 PT 62433，範疇為適用於電磁相容行為模擬之積體電路模型 (Models of integrated circuits for EMC behavioural simulation)，計畫主持人為 Jean-LucLevant（法國籍）。

在 BSMI 與 EADS-IW/Freescale 的會議中，法國方面的人員為 EADS-IW 的 Christian MAROT 及 Freescale 的 John SHEPHERD (圖二十八)；MAROT 先生目前為 SC 47A-WG 9 之召集人，SHEPHERD 先生則為法國參加 SC 47A-WG 2 與 SC 47A-WG 9 的成員之一，SHEPHERD 先生曾經參與過 IEC IC-EMC 標準的撰寫工作並主導標準 IEC 61967-1-1 關於近場掃描資料交換格式(Near-field scan data exchange format)。

由於 UTE 為法國在 IEC 之國家代表，Freescale 則為私人企業，在 IEC 之活動受法國國家代表管制，雙方均表示無法在 IEC 內以法國國家代表之身分為台灣進行任何與標準提案/制訂有關之活動。有關台灣如何突破現有之限制，以間接之方式參與 IEC 標準制訂活動，MAROT 先生建議台灣方面可先與法國學術界直接參與 UTE 內有關 IEC 活動之研究團隊建立 IC-EMC 研究合作案，再思考策略將研究成果（遊說）推廣至 IEC 形成 IC-EMC 標準的一部份。



圖二十八、與 IEC 成員合影(左一：IEC WG 9 召集人 Christian MAROT 先生；左二：IEC WG 2/9 成員 John SHEPHERD 先生)

第三節、與 INSA 座談

在 INSA 研習課程結束後，BSMI 與 Etienne Sicard 教授、Alexander Boyer 助理教授舉行會談，總計提出三個問題，主要內容如下：

1. 有關 INSA Toulouse 由合作的業界公司取得電路設計資料與製程技術資料的問題，INSA 的回覆是：
 - (1)合作的業界電路設計公司在保護電路設計資料智慧財產方面有非常嚴格（restrict）的管制規定，電路設計公司不會提供電路設計圖（Schematic）與電路實體佈局圖（Layout）給 INSA Toulouse 輔助進行 IC 上 IA 與 PDN 的萃取；雖然有時可以取得電路佈局後的 RC 萃取結果，但仍然由合作公司團隊的想法決定。
 - (2)製程技術資料的取得，不論是透過 CMP(類似台灣之晶片製作中心 CIC) 或是直接由半導體製造廠取得，均需要與對方簽訂 NDA（Non-Disclosure Agreement），並在製程技術資料的應用上受 NDA 條款的嚴格限制。
2. 有關於 INSA Toulouse 是否有意願與 BSMI 合作，擔任台灣參與 IEC 標準制定的窗口，INSA 回覆如下：

Sicard 教授以積極的態度表達願意與 BSMI 形成 IC-EMC 量測方法與模型化方法的研究團隊。Sicard 教授並提出新的研究主題為 X-DPI（Extended Direct Power Injection, 1~18GHz 頻段）；在推動新技術標準策略上希望團隊成員廣納台灣、

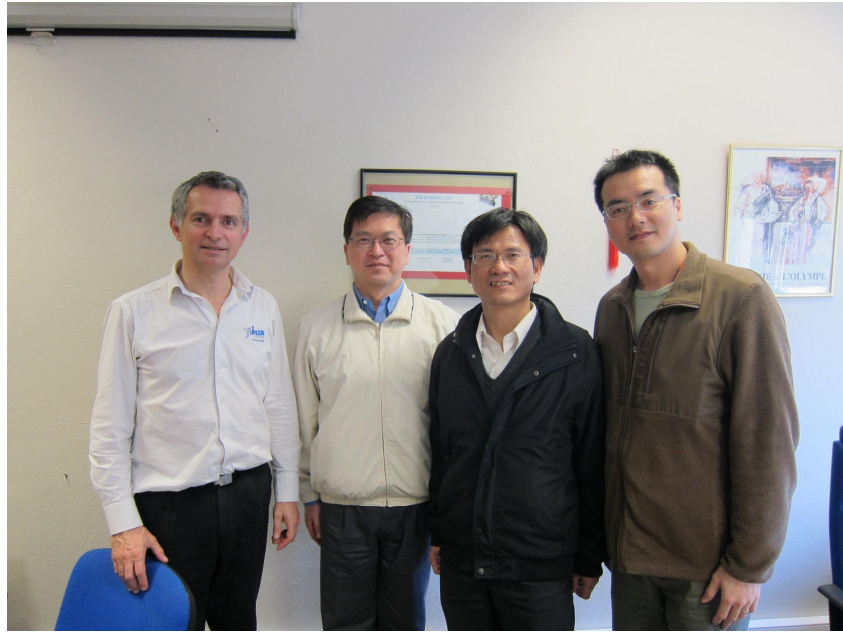
歐洲、美國團隊，以便取得 IEC 各區域會員對研究團隊的認同，提高未來將研究成果納入 IEC 相關標準機會；研究團隊將透過法國 ESEO 的 Ramdani 教授作為接觸 UTE 與 IEC 標準提案活動的窗口。在研究工作配置上，Sicard 教授建議由台灣團隊進行 X-DPI 量測技術的開發工作，法國的團隊則專注於 IC 在 X-DPI 量測的模型建置工作；Sicard 教授也建議 BSMI 配置一個可以長期（最好是 4~5 年）投入 X-DPI 量測技術開發的人員，此一人員於未來研究團隊將研發成果推入 IEC，使其成為標準的一部份的遊說階段，將提供技術說明與參與技術詢答會議的重要功能。

3. 有關在 EMC Compo 技術會議(Technical Program Committee, TPC) 內擴大台灣專家參與，以提高台灣在此一 EMC 國際重要會議的能見度問題，Sicard 教授以條列的方式說明專家參與 TPC 的要件：

- (1)(第一年)以具備品質內容的論文參與 EMC Compo 會議論文投稿，在論文被接受後，該專家需親自出席會議進行論文簡報。於與會期間，Sicard 教授可以引薦出席會議專家給現有 TPC 成員認識，藉以建立初步的關係。

- (2)(第二年)以具備品質內容的論文參與 EMC Compo 會議論文投稿，在論文被接受後，該專家可以親自出席會議或派員出席會議進行論文簡報，以彰顯專家主持之實驗室的研究能力。Sicard 教授可以在本年會議後開始向 TPC 提名台灣專家列入 TPC，經 TPC 投票決議後，台灣專家即可進入 TPC 成為會員；也就是說，在第三年或第四年時，台灣的專家即有機會參與 EMC Compo TPC 的運作。

- (3)Sicard 教授特別強調每位 TPC 成員的基本責任，除了需要持續參加 EMC Compo 會議之外，還需要定期出席 TPC 會議，提出 EMC Compo 的願景及參與規劃會議未來的主題、內容與會議地點。目前 EMC Compo 以每年 10%~15%的比例汰換 TPC 成員，最主要的原因即在於被汰換的成員不再積極參與 TPC 定期的會議。



圖二十九、與 Sicard 教授(左一)合影

第四節、拜訪 IRSEEM/ESIGELEC

IRSEEM 為 Sicard 教授特別推薦參訪之單位，地點位於巴黎西北方的 Rouen，由巴黎搭乘火車至 Rouen 約需要 1 小時 30 分；ESIGELEC 為 Graduate School of Engineering 本體，主要任務功能為教學；IRSEEM 於 2001 年由 ESIGELEC 設立，英文全名為 Embedded Electronic Systems Research Institute，負責帶領研究生進行嵌入式電子系統的研究工作，目前 IRSEEM 擁有全法國最大的 IC-EMC 研究團隊（包含 20 名博士班研究生）；ESIGELEC 與法國工業界建立了密切的合作關係，50% 的營運經費屬於自籌，來自業界計畫及私人捐贈。IRSEEM 出席人員名單如下：

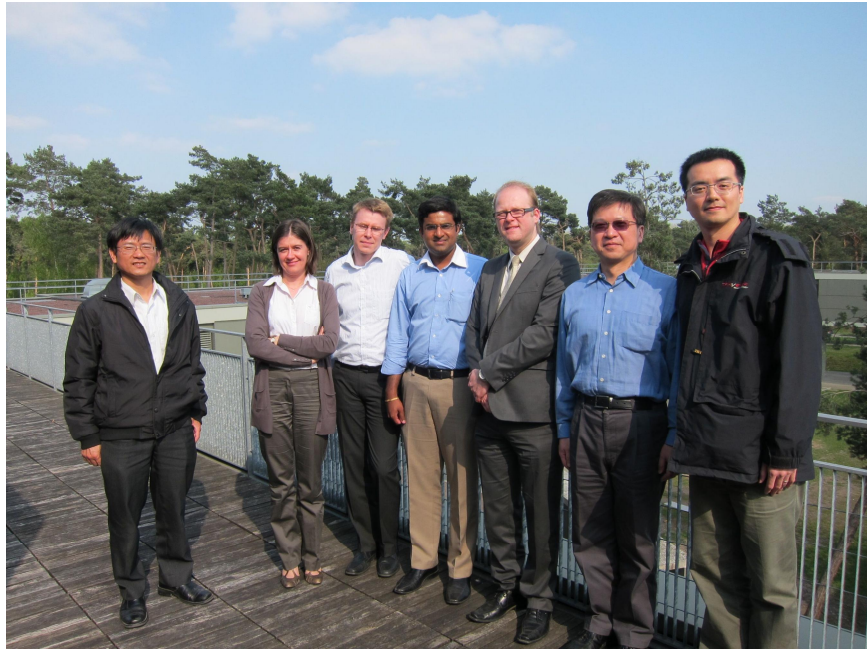
姓名	職稱
Cyril MARTEAUX	國際關係長(Director of International Relations)
Anne LOUIS	IRSEEM 系主任(Director of Doctoral Training at ESIGELEC; Head of Electronics & Systems Team at IRSEEM)
David BAUDRY	IRSEEM 副系主任(Deputy Head of Electronics & Systems Team)
Moncef KADI	研究員(Lecturer Researcher)

拜訪過程首先由 BSMI 進行簡報，介紹 BSMI 的組織架構、EMC 量測技術能量與此行之目的；接著由法方人員 MARTEAUX 先生開始介紹 ESIGELEC 與 IRSEEM 之歷史、組織沿革、任務功能分配與人員配置等背景資料。當日上午 IRSEEM 並安排了兩項技術演講：（1）高功率 SiGe 元件可靠度分析與模型；（2）Gate-Grounded NMOS ESD 電路測試與分析；演講完成後隨即進行 IC-EMC 量測實驗室、微波暗室與設備參觀，台灣人員對於該單位投入之 EMC 硬體設備感到印象深刻。

下午 IRSEEM 安排 BAUDRY 副系主任進行簡報，簡介 IRSEEM 在 IC-EMC 主題上的研究方向與人力配置，由其簡報內容可以瞭解 IRSEEM 在 Near Field Scan 問題上已經投入了相當的時間與人力，也配置了相對應的硬體設備。BAUDRY 先生完成簡報後，雙方即進行意見溝通，台灣方面總計提問以下兩個問題：

1. IRSEEM 可以提供 IC-EMC 訓練課程嗎? IRSEEM 答覆：
可根據台灣到訪人員的需要，設計適當的 IC-EMC 課程時數及內容。
2. 是否有意願與 BSMI 合作，擔任台灣參與 IEC 標準制定的窗口，INSA 回覆如下：

IRSEEM 非常有興趣在 IC-EMC 的各種問題上（不侷限在 Near-Field Scan 技術）與台灣的研究團隊形成國際合作案；IRSEEM 進行國際合作的目標之一，在於形成跨國研究團隊，引入國際優質人力，以進一步提升 IRSEEM 研究團隊的競爭力。有關 UTE/IEC 活動的管道問題，BAUDRY 本人亦為法國 UTE 之代表，長期以學術界研究人員身份支援 UTE 內有關 IEC 標準制訂的活動，對 IRSEEM 而言，將研究成果推入至 IEC 作為標準的一部份，也是研究團隊的成果目標之一。



圖三十、與 IRSEEM 主要成員合影(左二：系主任 Anne LOUIS 女士；左三：副系主任 David BAUDRY 先生；左四：Moncef KADI 先生；右三：國際關係長 Cyril MARTEAUX 先生)

肆、結論與展望

關於積體電路電磁相容標準，對於電磁干擾或是電磁免疫/耐受的量測部分，已有許多出版的國際標準，少部分新的標準處於草案階段，特別在電磁相容模型標準上，目前仍有許多屬於草案階段甚至是只有標題，連內容都沒有，表示許多技術仍有待研究突破，因為台灣在積體電路製造與設計的部分目前是有優勢的，國內學術單位可以思考如何切入這部份的研究議題；另一個趨勢是，目前的標準測試頻段大部分規範在 150 kHz 到 1 GHz，將頻率提升至 10 GHz 甚至 18 GHz 以上，亦是 IEC 在積體電路電磁相容量測標準上規劃的未來方向，台灣的研究單位也可以在這個主題上作發揮。

Toulouse 雖然為法國第四大城，但卻可以被視為法國在 IC-EMC 研究上的行政中樞，許多主導 UTE 以及 IEC 標準制定活動的重要人員均來自此地，法國其他地區參與標準制定活動的人員，也與 Toulouse 有非常密切的關係，足見其影響力，故台灣要能在 IC-EMC 標準上有所進展，小心保持與 Toulouse 的國際關係是相當重要的。

IRSEEM 的研究人員平均年齡低於 40 歲，是目前法國在 IC-EMC 研究領域中最大的團隊，也滿足團隊成員參與 UTE/IEC 標準制訂活動的條件；近距離觀察可以感受到成員對研究保持著高度的熱情與活力，也具備持續擴展研究版圖與提高競爭力的強烈企圖心。法國向來以巴黎做為全國的政治經濟中心，而 Rouen 地處巴黎附近，又被視為未來大巴黎的一部份，將作為法國首都巴黎的出海城市，與巴黎保有密切的地理關係，因此 Rouen 當地人員較易與巴黎官方接觸，也容易理解巴黎官方的思考模式，有利於爭取研究經費；若 BSMI 有意透過與法國研究團隊的合作，進行 IEC 標準提案作業，Rouen 的 IRSEEM 將會是一個非常理想的起點；進程上可以以派員受訓的方式先與 IRSEEM 形成連結，再根據對其進一步的認識擬定後續的合作策略。

本次行程特別感謝 Sicard 教授之牽線與安排，讓參與人員獲得許多寶貴收穫與經驗，不僅能當面與 IEC 重要成員討論關於台灣參與國際標準組織議題，在研習過程中，教授在模擬技術與實驗更是傾囊相授；仔細觀察其研究團隊成員不到十位，還能走在 IC-EMC 研究領域的前頭，研發實力不容小覷，更將累積多年的研究經驗自行開發出積體電路電磁相容模擬軟體 IC-EMC(目前為第二版)，而且該軟體在網路上免費供需要者下載使用，不單單免費分享模擬研究成果，軟體使用手冊上的內容更是據細靡遺，已非一般免費軟體可以比擬，如此開放的胸襟與研究態度更是值得學習與佩服。

伍、參考文獻

- [1]E. Sicard, A. Boyer, “Overview of IC-EMC measurement methods”, March 2011.
- [2]E. Sicard, A. Boyer, “Overview IC-EMC design guidelines”, March 2011.
- [3]E. Sicard, “Overview of IC-EMC models”, March 2011.
- [4]IEC 61967-1: Integrated circuits -Measurement of electromagnetic emissions, 150 kHz to 1 GHz - Part 1: General conditions and definitions.
- [5]IEC 62132-1: Integrated circuits - Measurement of electromagnetic immunity, 150 kHz to 1 GHz - Part 1: General and definitions.

- [6] M. Ramdani, E. Sicard, A. Boyer, S. Ben Dhia, J. J. Whalen, T. Hubing, M. Coenen, O. Wada, "The Electromagnetic Compatibility of Integrated Circuits - Past, Present and Future", IEEE Transactions on Electromagnetic Compatibility, vol. 51, no. 1, February 2009.
- [7] IEC 62433-2: EMC IC Modelling – Part 2: Models of Integrated circuits for EMI behavioural simulation – Conducted emissions modeling (ICEM-CE).
- [8] IEC 62132-4: Integrated Circuits, Measurement of Electromagnetic Immunity – Part 4: Direct RF Power Injection Method.
- [9] "100mA, 5.0V, Low Dropout Voltage Regulator with Reset and Sense", Datasheet of L4949, Semiconductor Components Industries, 2008.
- [10] J. Koo, L. Han, S. Herrin, R. Moseley, R. Carlton, D. Beetner, D. Pommerenke, "A Nonlinear Microcontroller Power Distribution Network Model for the Characterization of Immunity to Electrical Fast Transients", IEEE Transactions on Electromagnetic Compatibility, vol. 51, no. 3, August 2009.
- [11] E. Sicard, A. Boyer, "IC-EMC – User's Manual", July 2009, available on <http://www.ic-emc.org>