行政院及所屬各機關出國報告

(出國類別: 治公)

赴美國DRS公司參與龍門二號機 主控制室與儀控系統出廠測試

服務機關:台灣電力公司

出國人	:	<u>姓</u>	<u>名</u>	<u>単</u>	位	<u> </u>	戠	稱	
		吳錫	聰	核能	支術處	1	義電	工程的	帀
派赴國家	:	美國							
出國期間	:	97.6	5.21	~97.8	.29				
報告日期	:	97.2	10.7						

行政院及所屬各機關出國報告審核表

出國報告名稱:赴美國DRS公司參與龍門二號機主控制室與儀控系統出廠測試						
出國計畫主辦機關	出國計畫主辦機關名稱:台灣電力公司					
出國人姓名/職稱	/服務單位:吳錫聰/儀電工程	師/核能技術處				
	1.依限繳交出國報告					
	2.格式完整					
	3.內容充實完備.					
出國計畫	4.建議具參考價值					
	5.送本機關參考或研辦					
限员 继续 立位 千	6.送上級機關參考					
土那饭闌	7.退回補正,原因:					
	(1)不符原核定出國計畫					
審 核 意 見	(2)以外文撰寫或僅以所	蒐集外文資料爲內容				
	(3)內容空洞簡略容					
	(4)未依行政院所屬各機關出國報告規格辦理					
	(5)未於資訊網登錄提要資料及傳送出國報告電子檔					
	8.其他處理意見					
	□同意主辦機關審核意見					
医肺松眼	全部 □部分	(填寫審核意見編號)				
· 晋 • 野 (茂) 踊	退回補正,原因:	(塡寫審核意見編號)				
審 核 意 見	其他處理意見:					

說明:

一、出國計畫主辦機關即層轉機關時,不需填寫「層轉機關審核意見」。

二、各機關可依需要自行增列審核項目內容,出國報告審核完畢本表請自行保存。

三、審核作業應於報告提出後二個月內完成。

	單位	主管處	總 經 理
報告人 :	主管 :	主管:	副總經理 :

行政院及所屬各機關出國報告提要

出國報告名稱:赴美國 DRS 公司參與龍門二號機主控制室與儀控系統出廠測試

頁數 31 含附件:□是■否

出國計畫主辦機關/聯絡人/電話

台灣電力公司/陳德隆/02-23667685

出國人員姓名/服務機關/單位/職稱/電話

吳錫聰/台灣電力公司/核技處/儀電工程師/24902401 Ext.2054

出國類別:□1考察□2進修□3研究□4實習■5其他 洽公

出國期間:97.6.21~97.8.29 出國地區:美國

報告日期:97.10.7

分類號/目:儀控工程

關鍵詞:DCIS, ESF, DRS, TEST, FDI

內容摘要:(二百至三百字)

- 1、赴GENE之協力廠家DRS公司參與龍門計劃安全儀控系統(ESF)二號機設備交貨 前之出廠測試及設計修改作業。
- 2、DRS公司為龍門計畫緊要安全儀控系統供應商,主要提供緊要安全設備之監 視、控制及人機介面。龍門計劃安全儀控系統(ESF)二號機設備,DRS已依據 GE第一階段設計凍結日之設計文件完成建置及測試,目前暫存DRS 廠家並依GE設計更新文件進行FDI修改建置,包括控制邏輯和顯 示畫面修改及測試,並在廠家二號機設備完成硬軟體更新修改。 然後再將控制及顯示軟體複製更新到一號機設備以配合97年10 月中在工地執行一號機FDI修改作業。

本文電子檔已傳至出國報告資訊網(http://report.gsn.gov.tw)

壹、		國外公務之內容與過程	1
	•	目的	1
<u> </u>	•	行程與工作項目	1
<u> </u>	•	執行過程與內容	2
((·)、FID 邏輯更新及測試	3
(()、VDU 顯示畫面測試	11
($(\equiv$)、FDI 修改作業	25
貳、		出國心得與感想	29
參、		建議事項	31

壹、國外公務之內容與過程

一、 目的

(一)、出國任務

赴奇異公司之協力廠家,負責龍門計畫特殊安全儀控系統設備製造和設計建置之 DRS 公司,參與二號機系統設計更新之出廠測試及設備修改工作。出國期間自 97 年 6 月 21 日至 97 年 8 月 29 日,共計 70 天。

(二)、緣起與目標

DRS 公司負責龍門計畫 ESF 安全儀控系統之設備建置與測試工 作。DRS 已依 GE 第一階段設計凍結日之設計文件完成一號機設 備交運工地,二號機設備亦已完成第一階段建置及測試,目前 暫存 DRS 廠家並依 GE 設計更新文件進行 FDI(Field

Disposition Instruction)修改建置,包括控制邏輯和顯示畫 面修改及測試。依據 GE/DRS 原測試時程於 97 年 8 月底完成二 號機出廠測試,然後再將控制及顯示軟體複製更新到一號機設 備以配合 97 年 9 月底在工地執行 DRS 一號機設備 FDI 修改作 業。

二、行程與工作項目

本次任務為赴龍門計畫負責安全儀控系統之廠家 DRS 參與測試見證,出國期間 自中華民國 97 年 6 月 21 日至 97 年 8 月 29 日止,共計 70 天,行程內容如下:

起迄日期	停留機構	所在地點	工作內容
97.6.21-97.6.22		台北→紐約→康 乃狄克州Danbury	往程
97.6.23-97.8.26	DRS 公司	康乃狄克州 Danbury	參與執行龍門計畫二號機安 全儀控設備出廠測試見證

起迄日期	停留機構	所在地點	工作內容
97.8.27-97.8.29		康乃狄克州	返程
		Danbury→紐約→	
		台北	

三、 執行過程與內容

依 GE 公司原定二號機 FDI (Field Disposition Instruction)測試時程應 於 6 月底完成控制邏 FID (Functional Interconnect Diagram)修改及測 試,7月底完成 VDU 修改及測試後,隨即複製更新到一號機設備並運 至工地進行一號機 DRS 設備之 FDI 更新作業; 職於 6 月 23 日(週一)到訪 DRS Shelter Rock 部門即詢問 DRS 經理 David Kulp 目前二號機 FDI 進度 如何, David 答稱二號機 FDI 修改稍為延後, FID 邏輯測試本週才剛要開 始進行測試。由於受到 GE 設計輸入文件定案延遲;從今年元月中 DRS 收 到 GE 設計修改文件 Attachment T Rev.82 後進行更新建置,期間發現有 不一致需 GE 澄清、修訂設計文件,到 6 月為止 Attachment T 已進版到 Rev. 89,以及 DRS 本身軟體修改作業也不十分順利等因素影響以致整個 FDI 更 新時程延後。DRS 在軟體修改測試過程中會遭遇到因為發現某項設計缺失 而必須回到上一個建置階段重新修改或重作測試。以本小組在駐廠執行測 試見證期間發生缺失爲例:FID 在執行 FAT 測試所建立之 Test Matrix 有 部分未隨著 GE 邏輯圖更新而修改導致必須重測 FID;7 月底發現 FID Large EPROM 晶片誤用 Small EPROM 診斷 Chechsum 程式,導致多增加 138 個 Large EPROM 必須重燒;8月初進行二號機機櫃 EPROM 更換,8月中也開始燒錄一 號機 FDI 更新所需的 EPROM,但在 8 月底小組離開 DRS 前一天, DRS 通知 發現採用之 FID Checksum 診斷程式有缺失無法確實執行 Checksum 偵錯功 能,全部 FID EPROM 皆要重燒以載入更正後的診斷程式。雖然 DRS 在執行 FDI 更新建置時發生一些問題,同時也造成一、二號機 FDI 預定完工時程 有些延後,GE/DRS 已立即解決問題並全力趕工,預定將於今年 10 月中到 工地執行一號機設備 FDI 更新,以及今年 10 月底交運二號機設備為目標。 DRS 依據 GE 設計更新文件進行設計修改及測試,其內容包括:(1)FID 邏 輯更新 (2)FID 邏輯測試 (3)VDU 顯示畫面修改 (4)VDU 顯示畫面測試。所 有測試完畢後,隨後在 Unit 2 設備進行 FDI 修改更新並準備設備交運, 同時複製到一號機,將一號機更新零件運至龍門工地在 Unit 1/Unit 0 設 備上進行 FDI 修改作業。

相關 FID 邏輯更新測試、VDU 顯示畫面測試及 FDI 修改作業分別說明如下。

(一)、FID 邏輯更新及測試

1.更新內容

自從第一階段設計凍結日(2005/3/28)之後,有許多的設計 變更待修改,今(97)年元月中DRS 收到GE Attachment T Rev. 82版 設計修改文件後即進行更新建置。首先交由下包商 Proto-Power 公司負 責將GE 邏輯圖修改部分更新到DRS 系統之軟體邏輯 FID (Functional Interconnect Diagram)圖上。FID 圖係使用 OrCAD 軟體繪製並建立.SCH 圖檔,經由 FID Compiler 編譯成功產生.BIN 檔後即可下載到 Device Programmer 進行 EPROM 程式燒製。此次 DRS 依照 GE 所交付之最新 版設計更新文件(ATT T Rev.91)進行相關建置修改,初步統 計二號機加上兩部機共用(UNIT 0)共進行 533 張 FID 修改, 原有二號機加上 DIV. 0 之全部 FID 模組共 1599 張,經本次 FDI 修改後(新增 16 張及刪除 11 張)總共為 1604 張 FID 邏輯 模組。

3

2.FID 測試

FID 圖修改後依照 DRS 文件 KAY1317/16 FID LOGIC TEST PROCEDURE 進行測試,以驗證邏輯是否建置正確,此部份工 作跟初次設計時之測試相同;將修改後 FID 邏輯燒錄到 EPROM 記憶體晶片再安裝至相關測試機櫃之模組中,同時利用 LabVIEW軟體配合 Test Matrix 修改進行 FID 測試。

2.1. FID LOGIC 測試架構

DRS 共有三個 Test Station,每一 Station 均包含一台 PC 及 Plus32 機櫃,機櫃內上方右邊有兩張 Network Interface Module (NIM)卡作 為與 Perform NET 通訊,其餘有 48 個卡槽可安置輸出入及控制模組, 下方爲雙重電源供應器。側面有 Plus32 Terminator KCD3900 可分為 DCM (Digital Control Module)、DOM、ACM (Analog Control Module)、 AIM、TCM (Thermal Couple Module)及 RTD Terminator。三個 station 每一 Station 均可測 DCM、DOM、ACM,而第一 Rack 可測 AIM,第二 Rack 可測 TCM,第三 Rack 可測 RTD。

為使 Perform Net Network Ring 能正常工作,第二張 NIM 模擬為其他 Node,故在圖 1 中第一張 NIM 連至第二張 NIM 再連至 PC 上的 SCRAMNET Card,如此形成一個 Ring。

每一張待測 FID (即每一卡片)依據原先定義的 Node, Slot 放入對應之 Slot,同時 NIM Node 經由 Dipswitch 設定也模擬成所需的 Cabinet (Node No.)。測試者啓動 PC 上之 LabView Test Program,驅動訊號自 NI I/O 卡片的 Output Module 輸出至 NI Terminator 然後送至 Plus32 Terminator KCD3900 而至待測 FID 模組。

4



圖 1 FID 測試架構

2.2 FID 轉換成控制模組之 EEPROM 流程說明:

FID 發展系統工作站以 OrCAD 的 Schematic capture 產生 FID,使用者 以定好的符號建構並以連接符號方式產生,經審查確認無誤即進入 FID Compiler, FID Compiler 讀取並編譯 FID 電子檔配合控制作業系統 (COS) 及運算邏輯程式庫(Control Algorithm)處理後,產生 source object code,當檢查完成無誤即產生 Binary File,即控制模組可執 行之執行碼。此執行碼將下載至 EPROM 燒錄器, EPROM 燒錄器將此執 行碼直接燒入 EPROM。最後將 EPROM 插入對應之控制模組內,並將此控 制模組放入 Test Station 進行 FID 邏輯測試。完成測試並經核准後之 FID EPROM 即可安裝至控制模組設備進行 FDI 更換。FID 發展工作站是 用來產生及修改 FID,此系統不能用於 on-line 修改,須在 off-line 下以此工作站修改 FID 並於編譯後燒入 EPROM,此為獨立於 Plus 32 控制器,用來修改應用軟體。



圖 2 GE 邏輯圖 Markup





圖 3 DRS FID 邏輯圖 Markup



圖 4 FID EPROM 燒錄

2.3 同機櫃 Dummy FID 支援待測試 FID

機櫃內 NIM 模組讀取 Control-I/O 模組資料存放在 Local RAM,然後再送到 PerformNet.由於 FID 測試工作站只能讀寫不同機櫃間傳送到 PerformNet 記憶體上的資料,無法讀寫機櫃內 Local RAM 資料,所以同一機櫃內兩個模 組間無法做資料交換。DRS 執行 FID 測試必須模擬電廠實際運作情形,即透 過測試工作站驅動其中一個模組來與另一個模組作內部資料交換,以卡片 0H23PL2302S-08 (31113-0R11-K1002I-J)爲例說明:本邏輯是待測試卡片 (0H23PL2302S-08)將 3 個數位信號送至卡片(0H23PL2302S-02),由於此二卡 片位於同一機櫃中,所以採用仿(Dummy)控制卡片完成自動測試。測試時將 仿控制卡片(0H23PL2302S-02)安裝於第二卡槽,待測試控制卡片 (0H23PL2302S-08)置於第八卡槽,待測試控制卡片將資料寫入至 NIM 卡片之 Internal Memory,再將資料傳遞到仿控制卡片,仿控制卡片則藉 NIM 卡片 之 Perform-NET Memory 將資料傳透到店控制卡片,仿控制卡片則藉 NIM 卡片 至少須具備有測試工作站、測試用機櫃、測試和 Dummy FID 模組卡片備品數 張等基本設備才能進行 FID 邏輯測試、



圖 5 OR11 OH23PL2302S-08 卡片測試示意圖

2.4 Test Matrix 之設計

Test Matrix (即 Test Case)之設計必須考慮不同的輸入對輸出之變化。以 2P24 系統中編號 MBV-0067 之 Valve 控制為例,若欲其輸出信號為 "OPEN", 不但需要輸入之 "Open" 信號為 H,還需要 "Open Permit" 信號為 H 及 "Close Request" 信號為 L,三個信號同時符合才能完成驅動 Valve OPEN。 "Open Permit" 信號又是由 "Tagout Off" 信號、 "Remote Select" 信號、 "Control Power Available" 信號及 "Div II Isolation Signal" 信號所 組合而成的。 "Close Request" 信號則是由 "Close" 信號、 "Tagout Off" 信號、 "Remote Select" 信號、 "Control Power Available" 信號及 "Div II Isolation Signal" 信號所組合而成的。以 "Open Permit" 為例,其共 有 4 個輸入決定此 "Open Permit" 之邏輯輸出,故其 Test Case 有 5 個,即 其中一個 Test Case 為全部輸入為 H,其餘四個 Test Case 為 4 個輸入輪流 任何一個輸入為 L 來測試其 "Open Permit" 之邏輯正確性。

再以輸出信號 "Valve Fail To Open" 爲例,爲避免產生誤動作,在輸出 "Valve Open"信號後,必須先經過一段時間延遲,確定 Valve 未打開,才 可產生 "Valve Fail To Open"信號,延遲的時間長短則是由 "Valve Traveling"信號而定。若 "Valve Traveling"信號爲L,表示 Valve 並未 動作,此信號只須持續 5 秒後,即可視爲 Valve Fail To Open;若 "Valve Traveling"信號爲H,表示 Valve 正在動作,此信號須持續 52 秒後, Valve 仍未打開,方可視爲 Valve Fail To Open。因此在檢查 Test Matrix 時,不 但所有的邏輯必須符合需求,延遲的時間亦必須符合輸出才可爲H。



3.Large Size EPROM checksum 問題

DRS使用來燒錄 FID 編譯後執行檔的 EPROM 有兩種容量: 32Kbyte 及 128Kbyte,一般控制及輸出入模組皆使用 small size EPROM(32Kbyte),只有少部份 ACM、TC 模組 會使用到 large size EPROM(128Kbyte),而針對不同容 量的 EPROM 在編譯後也會以自動選用不同的程式來計算 CHECKSUM;此次測試過程中,DRS 測試工程師發現用來計 算 small size EPROM CHECKSUM 的程式誤使用來計算 large size EPROM CHECKSUM,故所有使用 large size EPROM 的 FID 圖須重新編譯計算 CHECKSUM 及重新進行 FID 圖測試(雖然邏輯並未變更,但依程序仍須重新測試),估 計受影響的 FID 圖共有 207 張(Unit 2 and Unit 0),扣 掉部份 EPROM 已是本次 FID 邏輯更新範圍,共額外新增 138 張 FID 需重新燒錄測試,使本次需進行測試的 FID 圖 增為 671 張。

DRS軟體工程師進一步尋找 Large Size EPROM Checksum 問題肇因時,發現存檔的 EPROM Checksum 診斷程式也有 問題,無法確實執行 Checksum 比對偵錯功能。因此,必須更正 Checksum 診斷程式,導致全部 FID EPROM 皆要重燒以載入更正 後的診斷程式。

10

(二)、VDU 顯示畫面測試

1. 測試項目

DRS 依照程序書 ER2316/56 Rev.E 執行測試, Unit 1 VDU 出廠測試即 是本份程序書 Rev.D,改版內容主要新增了 FDI 測試內容。 執行測試之前,要先進行各 Division VDU 軟體安裝程序,在執行 FDI 相關之 VDU Screen ATP 期間已安裝 DIV.0,1~4 VDU 軟體更新版 Rev.C。 此測試是將已完成的 DP 單元載入 VDU 內,並依據 DPDS (顯示單元設 計規範書)的設計,利用 LabVIEW 程式載入事先設計好的測試矩陣 (Test Matrix)來模擬該 DP 的邏輯,再由測試人員適當的操作 LabVIEW 軟體及 VDU 來驗證其顯示狀態。此測試矩陣由測試工程師先準備好,

再由第二者審查簽字(ITMRR)完成後才開始測試,測試結果亦需要第二 者審查簽字。其預期測試結果與實際測試結果比對,其比對結果會自 動顯示 Pass 或 Fail。



VDU Screen ATP 配合本次 FDI 修改測試項目包括: (1)8.2節 Visual Comparison (2)8.3節 Connectivity (3)8.4節 Error Detection (4)8.5節 CIM Interface 及 (5)8.6節 Post-ATP Clean-up。各測試 項目除最後(5)項爲測試後之整理外,其他各項執行內容簡述如下:

(1)8.2節 Visual Comparison

每個畫面有一張 datasheet, 測試工程師進行記錄:

- 記錄設計文件編號及版次、畫面編號及 VDU VAS(VDU Application Software)版次
- 查證畫面 title 是否與 DCT 一致?
- 查證 I con 的形狀、大小、位置是否與 DCT 一致?
- 查證文字的位置、拼字、字形屬性(font characteristics)
 是否與 DCT 一致?
- 查證類比(analog)或數位(digital)資料解析度、精準度及單位是否符合 Class 1E Datalink I/O Database?
- 查證箭頭和 flags 的方向是否與 DCT 一致?
- 查證所有動態 icon 是否遵照 DCT 可選擇?
- 查證所有對應的 Control Overlay 是否與 DCT 及 DPDS 一致?
- 查證 Flags 所導覽到的目的地是否遵照 DCT?
- 查證所有靜態 icon 是否遵照 DCT 不可選擇?
- 查證其他空白區域是否遵照 DCT 不可選取?

(2)8.3 節 Connectivity

Connectivity 測試是驗證 DP 輸入與 Perform Net 位址輸出的關係, DCT 轉換為 VDU 的正確性。依據 DCT 定義之 Soft I/O Points (SIOP), 測試 DP 能反應正確的輸入並驅動正確的輸出以驗證 VDU 輸出至 Perform Net 經機櫃、模組到現場儀器通訊之正確性,亦 即為 SIOP 轉換為 Perform Net 位址測試。本次 FDI 主要是測試新 增加或修改過的 DP 其 Connectivity 功能。

(3)8.4 節 Error Detection

FDI執行本項測試主要是針對在 FAT與 VDU 測試時發現的軟體不符 合項目執行改善結案測試,測試 VDU與機櫃聯結後可正確診斷出控 制模組故障狀態資訊。

- ●首先將測試機櫃模擬成 DIV3-H23PL0501C 機櫃,與 VDU 連線後送 電並觀察各模組 ACTIVE LED 燈亮無故障.
- 導覽 VDU 螢幕畫面到 SYSTEM OVERVIRW, 記錄 VDU Title-1D000000SR3-01, 觀察模組狀態與 VDU 畫面一致.
- ●將第3卡槽模組面板開關設為 RESET, 觀察 VDU 畫面 1H23PL0501C
 機櫃及第3槽顯示模組 Offline 故障,其他槽皆正常.
- ●將模組開關恢復正常調回 NORM,並按 Clear Diag 清除其餘故障.
- ●將 NIM 通訊模組之 NET1 光纖拔除,第1卡槽模組面板開關設為 RESET,觀察 VDU 畫面機櫃及第1 槽模組故障仍正確顯示.
- ●將模組開關恢復正常調回 NORM, 光纖重新接上並按 Clear Diag 清除其餘故障.

(4)8.5節 CIM Interface

本項 FDI 修改測試是反映 VDU Screen ATP 之不符合項目,GE SSLC/RTIF-RS485 規範和 Datalink I/O Database 設計輸入文件 不一致。抑壓池平均溫度在 RTIF 規範為 0-120,而在 I/O Database 溫度範圍為 0-150,導致 VDU 顯示有誤。此外 FDI 亦增加新的 DIV 3 " HPCF Fault Status" 顯示訊息到 RTIF CIM to 1E Display Message。

- ●將更新版 EPROM 安裝至 SSLC 機櫃 CIM 模組上,並連線到 RTIF Data Simulator 及 VDU 設備.
- ●選擇並記錄 VDU 顯示畫面 1C74SR1-01、DP_DIG3、DCT Tag No,

在 RTIF Data Simulator 之 SIOP-1C741017A009W 輸入抑壓池 平均溫度模擬數據,在 VDU 畫面上驗證顯示相同數值。

- ●測試其他 DIV2~4 之抑壓池平均溫度正確顯示 0-120℃.
- ●輸入 SIOP-1E221002D004W之 DIV 3 HPCF Fault Status System Critical Fault 模擬資料,在 VDU Process Alarms 顯示畫面 驗證 Active 或 Inactive。

2.人機介面控制器 Display Primitives 整合測試(Integration Test)說明

人機介面控制器軟體有 OS/Diagnostic Screen 及 Display Primitives (DP)兩部分需作整合測試。DP 一共分 8 個 GROUP。在 Division FAT時,並不會測試所有狀態。所有狀態的測試是在 DP integrate test, 其所依據為「 VDU software unit and integrate test procedure (KBW2315/55) Rev.B 」,以 DP SBV10 為例說明其測試。

2.1 DP SBV10 規範:

依據 "Display Primitives Design Specification(31113-0A51-4001Rev2)"之 section 15.1 所規範 SBV10 的要求及 Control Overlay 規範:

DP_SBV10 - Solenoid Block Valve (Fail Open) with End of Travel Indications Gray-Out Table

Overlay Button	Visible/ Invisible	100% Open	100% Closed	Tag Out
	Visible	0	Х	0
OFER	Invisible	Х	Х	Х
	Visible	Х	0	0
CLOSE	Invisible	Х	Х	Х
	Visible	Х	Х	0
TAG ON	Invisible	Х	Х	1
	Visible	Х	Х	1
	Invisible	Х	Х	0

DP_SBV10 - Solenoid Block Valve (Fail Open) with End of Travel Indications

DP_SBV10 - Solenoid Block Valve (Fail Open) with End of Travel Indications

	States Definitions						
No. of State	State	Ctrl Pwr Not Avail	Valve 100 % Open	Valve 100 % Closed	Failed to Open	Failed to Close	Close Permits
1	Normal at Full Open	0	1	0	0	0	1
2	Normal at Full Closed	Х	0	1	0	0	Х
3	Normal at Intermediate	0	0	0	0	0	1
4	Will Not Close at Full Open	Х	1	0	0	0	0
5	Will Not Close at Intermediate	Х	0	0	0	0	0
6	Failed to Open at Full Closed	Х	0	1	1	0	Х
7	Failed to Close at Full Open	Х	1	0	0	1	х
8	Failed to Open or	Х	0	0	1	0	Х
	Closed at Intermediate	Х	0	0	0	1	Х
9	Status Error	Х	Х	Х	Х	Х	Х

DP_SBV10 - Solenoid Block Valve (Fail Open) with End of Travel Indications

Status Indication Definitions	
-------------------------------	--

No. of State	Tagout	Example
1	1	TAG
2	0	X

DP_SBV10 - Solenoid Block Valve (Fail Open) with End of Travel Indications Soft Control Switches

Switch	Action
TAG ON	Tagout enabled
TAG OFF	Tagout disabled
OPEN	Open the Valve
CLOSE	Close the Valve

DP_SBV10 - Solenoid Block Valve (Fail Open) with End of Travel Indications Component Information

Indicated Information	Example					
Point ID	1T62SBV0006C					
Power Source	480V MCC 1C3B					
Close Permits Status	CLOSE PERMIT YES (or NO)					

DP_SBV10 - Solenoid Block Valve (Fail Open) with End of Travel Indications

States –

Valve Symbol, States and Color Conventions

No. of State	States	Symbol	Border Color	Fill color	Location	Sample Valve	Sample Valve	
1	Normal at Full Open	Valve	Cyan #30	Cyan #30			×	
2	Normal at Full Closed	Valve	White #31	None		\boxtimes		
3	Normal at Intermediate	Valve	Left= Cyan #30 Right= White #31	Left= Cyan #30 Right= None		X		
	Will Not Close at Full Open		None	Red #25	Under Component			
4		Valve	Cyan #30	Cyan #30			<u>×</u>	
	Will Not Close at Intermediate		None	Red #25	Under Component			
5		Valve	Left= Cyan #30 Right= White #31	Left= Cyan #30 Right= None				

No. of State	States	Symbol	Border Color	Fill color	Location	Sample Valve	Sample Valve		
6	Failed to Open at Full Closed	Valve	Red #25	None					
0		Ø Damper							
7	Failed to Close at Full Open	Valve	Red #25	Red #25					
		Damper							
8	Failed to Open or Closed at	Valve	Red #25	Left= Red #25 Right= None					
	Internetiate	Damper							
0	Status Error (Bad Data)	Valve	Magenta #29	Magenta #29			K		
9		Damper							

Point ID Power Source	
YES Close I	Permits
CLOSE	
TAG OFF	TAG ON
	EXIT

DP_SBV10

2.2 Test Matrix測試步驟(以SBV-10為例):

2.2.1 測試DP的顯示狀態:

由Ctrl Pwr Not Avail、Valve 100 % Open、Valve 100 % Closed、Failed to Open、Failed to Close、Close Permits共6種輸入組成64(2⁶)種State Input Values (0~63),此64種State Input Values分成9種 (Normal at Full Open、Normal at Full Closed、Normal at Intermediate、Will Not Close at Full Open、Will Not Close at Intermediate、Failed to Open at Full Closed、Failed to Close at Full Open、Failed to Open or Closed at Intermediate、 Status Error)顯示狀態,其中有38個是 Status Error (Bad Data) 狀態。測試時為每個顯示狀態再加上一個 TAGOUT狀況,所以共用了73列 (64+9)來測試DP的顯示狀態。

2.2.2 驗證Control Overlay:

選擇 DP_SBV 10然後按下TAG PERMIT接著再按下Control,導覽到 Control Overlay Menu,驗證元件資訊: Point ID、Power Source、Close Permits Status (YES or NO)。

2.2.3 驗證Control Overlay上Buttons的Gray-Out狀態:

由Valve 100 % Open、Valve 100 % Closed、TAGOUT共3種輸入組成8 (2³) 種Gray-out Input Values (0~7),觀察Buttons (OPEN、CLOSE、TAG ON、 TAG OFF)的Enables (Visible)狀態,如Gray-out Input Values=0 時, 只有OPEN、CLOSE及TAG ON是Visible。

2.2.4 驗證NIMulator的功能:

藉由在RMU盤關掉(把NIMulator卡片從Normal扳到Reset)再開啓(把NIMulator卡片從Reset扳到Normal)NIMulator模組來驗證NIMulator的功

能(當NIMulator關掉,收到的資料為Bad Data,故DP顯示Status Error 狀態,當NIMulator再度開啓,則回復正常該顯示狀態),按下EXIT回到 NAV Menu。

藉由PC上的SCRAMNET Monitor軟體手動給Close Permits輸入一個無效値

(除了0x80),驗證DP是否顯示BAD DATA狀態,選擇 DP_SBV 10然後按下 TAG PERMIT接著再按下Control,導覽到 Control Overlay Menu,按下所 有Enabled 的Buttons(除了Exit)驗證所有按下之Buttons皆處於作用狀 態,按下EXIT回到NAV Menu。

選擇 DP_SBV 10然後按下TAG PERMIT接著再按下Control,導覽到 Control Overlay Menu,由測試人員按下Control Overlay上的OPEN、 CLOSE、TAG ON及TAG OFF來驗證這四個Buttons的功能(例如按下OPEN, 接著DP顯示為Valve 100 % Open狀態)。

使用SCRAMNET Monitor軟體手動給Ctrl Pwr Not Avail、TAGOUT及Close Permits輸入一個無效値(除了0x80),驗證此三種狀況DP是否都顯示在 BAD DATA狀態,Close Permits皆為YES,且Control Overlay上的所有 Buttons皆為Enabled。並緊接著驗證該DP及其Control Overlay正常該顯 示的狀態(例如Gray-out Input Values=5,DP顯示為Normal at Full Open, 且Control Overlay上只有TAG OFF是Enabled)。按下EXIT回到NAV Menu。 選擇 DP_SBV 10然後按下TAG PERMIT接著再按下Control,導覽到 Control Overlay Menu。在Control Overlay按下Disabled的Buttons來驗 證是否no action occurred。

選擇 DP_SBV 10然後按下Control(跳過按下TAG PERMIT的步驟)導覽到 Control Overlay Menu,驗證TAG ON及TAG OFF Button並未在Control Overlay上出現。

使用SCRAMNET Monitor軟體手動給TAGOUT一個無效値(除了0x80),驗證 DP是否顯示BAD DATA狀態以及TAG ON及TAG OFF Button依然未出現。按下 EXIT回到NAV Menu。

19

選擇 DP_SBV 10然後按下TAG PERMIT接著再按下Control,導覽到 Control Overlay Menu, DP及Control Overlay回到正常該顯示狀態,按下EXIT結束 測試。

2.3 利用測試矩陣執行 Connectivity Test

DP ITM (Integration Test Matrix)係測試 Display Primitives 所有狀態、顏色、顯示及灰色輸入之組合。

Screen ATP SIOTM(Simulated IO Test Matrix)矩陣與 ITM 類似,係用來 驗證 VDU Overlay 按鍵和 SIOP (Soft IO Point)之 Connectivity。完成 Connectivity 測試不需要用到系統機櫃,故 ITM 矩陣有些行、列是 SIOTM 可刪除的。利用 LabVIEW 來測試在 VDU 觸動按鍵產生之輸出信號使用正確 的 PerformNet (PNet)位址。按下 Overlay 按鍵後,VDU 將送出一特定控 制信號到網路特定位置,由於此一信號在網路上存在時間太短暫以致 LabVIEW 無法讀取到,故必須在機櫃模組建立一 Test FID 使用 S/R flip-flop 來保持住該信號供 LabVIEW 讀取及驗證,同時在 SIOTM 也有可 Reset 該信號的設計。從 LabVIEW 建立 SIOTM 來輸入各種組合信號到 VDU, VDU 軟體接到這些輸入信號會回應並顯示變化,導致 Control Overlay 按 鍵變成可顯見的,測試者依 Test Case 按下 Control Overlay 按鍵輸出一 控制信號到 PNet 網路位址,LabVIEW 再從網路讀取此一輸出信號以驗證 VDU DP 與每一 SIOP 控制信號信號對應 PerformNet Address 間通訊 Connectivity 之正確性。

2.3.1 PerformNet Address 計算方式

利用 NIM 卡(有 DIP SW 可設定 node number)與 PERFORMNET 其他 nodes 通訊,盤面上有 48 slots 可插 48 片 control I/O modules,每一片 control I/O module 分配 64 byte 作為 FID 圖 Interlocks 使用,其配置也是依照 slot 順序(1~48)依序 排列,FID 圖上之 Digital/Analog Interlock 有標明 offset(1~64)來表示所使用之區間,依上述原則,即可計算出 FID 圖上 Digital/Analog Interlock 使用到的絕對位址,公 式簡述如下:

PERFORMNET Address=[Node * 4096]+[(Slot-1)*64]+[Interlock offset-1]

Node={0,1,2...127} Slot ={1,2,3...48} Interlock offset={1,2,3...64} for Digital Interlock(因

爲佔1 byte)

Interlock offset ={1,5,9...61} for Analog Interlock(因

爲佔3 byte)

2.3.2 CIM 計算方式

CIM(有 DIP SW 可設定 node number)是插在 SSLC(Div.1~4)或 RMU(Div.0)盤內,負責與其他 Division 之資料交換(2 條單 向傳輸)、接受 RTIF/NMS 之資料輸入(單向輸入)或輸出至 Division 0(單向輸出);其可寫入之前 3Kbyte 記憶體,可在 FID 圖上看到 xCIMyy-zzzz 的 input interlock 或 output interlock,其中:

xCIMyy-zzzz

x 代表機組{0,1,2} yy 代表 CIM number{11,12,21,22,31,32,41,42,51,52 } zzzz 代表 Interlock offset{1~3072}

PERFORMNET Address=[Node * 4096]+[Interlock offset-1]

2.3.3 BTM 計算方式

BTM(有 DIP SW 可設定 node number)是插在 SSLC(Div.1~4) 或 RMU(Div. 0)盤內, FPGA 負責將記憶體(512KByte)做全體 複製(PERFORMNET side to SCRAMNET side),其擁有之 4Kbyte 記憶體僅使用最後 1Kbyte 儲存本身之 error message,其餘 3Kbyte 並不寫入其他資料或進行資訊交換,記憶體之配置同 CIM。

2.3.4 VDU 計算方式

VDU使用之記憶體空間是 node 0~3(共有 16 Kbyte),所以在 FID 圖上 input interlock 標示有 VDU 及 offset 其對應記憶體的地址為:

PERFORMNET Address= [Interlock offset-1]
Interlock offset:

1~3072	(node 0)
4097~7168	(node 1)
8193~11264	(node 2)
12289~15360	(node 3)

Test Result Filename: 1T43SR3-02 16 DP_MAS6-RevC_WB Test Results 200808251313.xls

																				_
		INPUTS															OUTPUTS - ACTUAL			
SIGNAL NAME	State Input Value	in Auto	la Manual	Hold	Process Value	Track	Set Point Value	Output Value	Actuator Measured Value	Emer FAN Running	Post Radiation/ LOCAL Release Mode	Sply FAN 1 Running	Sply FAN 2 Running	Test FID Reset Flip- Flop			KEY PAD ENTER	MAIN	AUTO	FAST
SIGNAL TYPE		INTLCK_D	INTLCK_D	INTLCK_D	INTLCK_A	INTLCK_D	INTLCK_A	INTLCK_A	INTLCK_A	INTLCK_D	INTLCK_D	INTLCK_D	INTLCK_D	INTLCK_D	USER_ACTION	DELAY	INTLCK_D	INTLCK_D	INTLCK_D	INTLCK_D
TEST POINT		N88 S42 09	N88 S42 010	N88 S42 08	N88 S42 017	N88 S42 011	N88 S42 013	N88 S42 05	N61 S39 005	N62 S14 010	N61 S27 O8	N61 S06 018	N61 S19 019	N07 S12 008			N06 S12 028	N06 S12 029	N06 S12 030	N06 S12 031
0		1T431065 EFX55D00 1W	1T431065 EFX55D00 2W	1T431065 EFX55D00 4W	1T431085 EFX55A00 4W	1T431065 EFX55D00 5W	1T431065 EFX55A00 1W	1T431065 EFX55A00 3W	1T431065 A018W	1T431065 D012W	1T431064 D028W	1T431055 D016W	1T431056 D016W	н		0.5	ι	L	L	L
1	o	L	L	, L	4000	L	4000	4000	4000	L	L	L	L	н	NOTE: This is a connectivity test to verify that the relationship between the DP's inputs/Outputs and PERFORM Net addresses are correct. Observed anomalies net related to connectivity will be noted but not cause a failure of this test matrix.	a a a a	L	L	L	L
2	D	L	ι	L	4000	L	4000	4000	4000	L	L	L	L	L			L	L	L	L
3	1	L	н	L	4000	L	4000	4000	4000	L	L	L	ι	L			L	L	L	L
4	2	н	ι	L	4000	L	4000	4000	4000	L	L	L	L	L			L	L	L	L
5	3	н	н	L	4000	L	4000	4000	4000	L	L	L	L	L			L	L	L	L
6	0	L	ι	L	4000	L	4000	4000	4000	L	L	L	L	L	Select MAS6 and then CONTROL to navigate to the Control Overlay menu		L	L	L	L
7	0	L	L	L	4000	L .	4000	4000	4000	L L	L .	L	L	L			L .		L.	
8	2	н	L	L.	4000	L L	4000	4000	4000	L .	L .	L .	L	L .			- h		L .	
8	2	H	L	н	4000	L	4000	4000	4000	L.				6			-		1	- i
10	- 4	n .	- L	L .	4000		4000	4000	4000				- <u>-</u>	- <u></u>				L	Ť.	L
- 11	<u> </u>			L	4000	<u> </u>	4000	4000	4000		-	<u> </u>	<u> </u>	-		<u> </u>		-		
12	1	L	н	L	800	L	1333	4000	6CCD	L	н	L	L	L			L	L	L	L
13	1	L	н	L	1333	L	4000	ecco	7800	н	н	н	L	L			L	L	L	L
14	1	L	н	L	4000	L	6CCD	7800	800	н	L	L	н	L			L	L	L	L
15	1	L	н	L	6CCD	L	7800	800	1333	н	н	L	н	L			L	L	L	L
16	1	L	н	L	7800	L	800	1333	4000	L	L	L	L	L			L	L	L	L
17	0	L	L	L	800	L	800	800	800	L	L	L	L	L			L	L	L	L

Test Result Filename: 1T43SR3-02 16 DP_MAS6-RevC_WB Test Results 200808251313.xls

								RESULTS
SIGNAL NAME	RAISE	LOWER	FAST RAISE	OUTPUT ADJ	SETPOIN T ADJ	KEYPAD Value		
SIGNAL TYPE	INTLCK_D	INTLCK_D	INTLCK_D	INTLCK_D	INTLCK_D	INTLCK_A	USER_TEST	
TEST	N06 S12	N06 S12	N06 S12	N06 S12	N06 S12	N06 S12	Items in parentheses are: (DPDS sub-section, Operating State or Status number)	
0	L	L	L	L	L	000		PASS
1	L	L	L	L	L	000	Start test 1T43SR3-02 16 DP_MA56> PASS	PASS
2	L	L	L	L	L	000	Verify NO STATE status symbol (x.5, 1) with text FAN-0101C1 (top row) INLET VANE (botom row) displayed with NO Status Indication text (x.2, 3)-> PASS	PASS
з	L	L	L	L	L	000	Verify NO STATE slatus symbol (x.5, 1) displayed with text FAN-0101C1 (top row) INLET VANE (botom row) with Status Indication text MAN (x.2, 2).→ PASS	PASS
4	L	L	L	L	L	000	Verify NO STATE status symbol (x.5, 1) displayed with text FAN-0101C1 (top row) INLET VANE (botom row) with Status Indication text AUTO (x.2, 1)-> PASS	PASS
5	L	L	L	L	L	000	Verify NO STATE status symbol (x.5, 1) with text FAN-0101C1 (top row) INLET VANE (botom row) displayed with NO Status Indication text (x.2, 3)-> PASS	PASS
6	L	L	L	L	L	000	Verify SETPOINT rectangle outline is WHITE (not selected) and OUTPUT VALUE rectangle outline is WHITE (not selected). Verify Control Overlay Point id = 1743FAN0101C1MO> PAS5	PASS
7	L	L	. L	L	L	000	Verify Control Overlay indicators: left = <blank>: right = <blank>> PASS</blank></blank>	PASS
8	L	L	L	L	L	000	Verify Control Overlay indicators: left = AUTO: right = <b ank="">> PASS	PASS
9	L.	L	L	L	L	000	Verify Control Overlay indicators: left = AUTO: right = HOLD> PASS	PASS
10	L	L	L.	L	L.	000	Venty Control Overlay indicators: left = AUTO: right = TRACK> PASS	PASS
12	L	L	L	L	L.	000	Verify Control Overacy indicators tell = NAVE: right = 40amt2-> PASS Verify bar and digital indicators for PROCESS VALUE (PV) = 0 (0%) with units LS, SETPOINT (STPT) = 160 (10%) with units Us, OUTPUT VALUE (OUT) = 50 (50%) with units %, and ACTUATOR MEAS VALUE (A) = 80 (50%) with units %, MAS Controlling = NO-> PASS	PASS
13	L	L	L	L	L	000	Verify bar and digital indicators for PROCESS VALUE (PV) = 150 (10%) with units L/s, SETPOINT (STPT) = 800 (50%) with units L/s, OUTPUT VALUE (OUT) = 90 (90%) with units %, and ACTUATOR MEAS VALUE (A) = 100 (100%) with units %. MAS Controlling = YES> PASS	PASS
14	L	L	L	L	L	000	Verify bar and digital indicators for PROCESS VALUE (PV) = 800 (50%) with units L/s, SETPOINT (STPT) = 1440 (90%) with units L/s, OUTPUT VALUE (OUT) = 100 (100%) with units %, and ACTUATOR MEAS VALUE (A) = 0 (0%) with units %. MAS Controlling = NO> PASS	PASS
15	L	L	L	L	L	000	Verify bar and digital indicators for PROCESS VALUE (PV) = 1440 (90%) with units L/s, SETPOINT (STPT) = 1600 (100%) with units L/s, OUTPUT VALUE (OUT) = 0 (0%) with units %, and ACTUATOR MEAS VALUE (A) = 10 (10%) with units %. MAS Controlling = YES> PASS	PASS
16	L	L	L	L	L	000	Verify bar and digital indicators for PROCESS VALUE (PV) = 1600 (100%) with units L/s, SETPOINT (STPT) = 0 (9%) with units L/s, OUTPUT VALUE (OUT) = 10 (10%) with units %, and ACTUATOR MEAS VALUE (A) = 50 (50%) with units %,> PASS	PASS
17	1	1		1	1	000	Verify only MAN Control Overlay button is enabled -> PASS	PASS

圖 8 Simulated I/O Test Matrix 測試 Connectivity

3. 問題與討論

透過實際觀察 DRS 測試工程師執行測試,發現以下之問題,有的是通 案需檢討、有的則是個案,雖然測試工程師初步將其列為 findings, 但 DRS 仍需再與軟體設計部門討論,才能決定是否正式列為 findings,因此也平行將問題向 GE 駐 DRS 工程師提出,要求 GE 評估 提供解決方案。

- (1) DRS implementation 錯誤: 例如句子較長而沒有分
 2行,而最後字被砍掉, test engineer 列為 Finding
 並已修改解決!
- (2) DCT 上為英文全名,VDU 只顯示縮寫,例如: Feedwater→VDU 只顯示 FW; Service→VDU 只顯示 SERV,據 DRS test lead 向各 test engineer 指示: 只要符合 31113-0A23-1000 Rev.13 Table 2A-5 內 GE 所載明之縮寫,皆接受。已向 GE 反映並同意修改。
- (3) GE 提供的 DCT 文件及 DCT Database 不一致, DRS 依 DCT Database 去 implement, 結果畫面雖然與 DCT 文 件不一致,但 test engineer 認為只要與 DCT Database 一致就可以接受! 已向 GE 反映並同意修改。
- (4) 執行 1P25SR3-01畫面比對時,發現 ECW DIV 3 bypass valve ACV-0021C之 control overlay,其 setpoint 工程單位為℃與 process value 工程單位 kPaD 不同,再查證 1P25SR1-01 ECW DIV 1 bypass valve ACV-0021A 之 control overlay,其 setpoint 工程單位 kPaG,也與 process value 工程單位 kPaD 不同,test engineer 比對後已列為 Finding! 已向 GE 反映並同意修改。
- (5) 執行 1E22SR3-04 畫面比對時,發現 HPCF pump

flow(為 MINI-FLOW CONTROL 專用) ref 9 顯示 BAR CHART, RANGE 0~135 m3/h ref 10 顯示數値, RANGE 0~1000 m3/h 經查證後 GE DCT 設計錯誤, ref 10 應該 ASSIGN 1E22K1020A015W(RANGE 0~135 m3/h), 卻誤 ASSIGN 1E22K1020A033W(RANGE 0~1000 m3/h), 而 DIV 2 1E22SR2-04 DCT 設計就無誤, test engineer 列為 Finding! 已向 GE 反映並同意修改。

(三)、FDI 修改作業

1.EPROM 更換

完成 FID 邏輯測試且測試報告經審查核准後,依據FDI程 序書 SC-004854/01 執行二號機 EPROM 更換。依FDI Data Sheets 所列二號機設備之機櫃、卡槽號碼將相關控制卡片抽出,將卡片 U7 位置上之舊版 EPROM IC 晶片拔出,以新版 EPROM 插入取代更新,同 時觀察模組"Active" LED 燈亮以驗證安裝位置正確。

Attachment T Rev.91 新版設計更新文件二號機修改部 分加上 LargeEPROM 共需更換約 533 個 FID EPROM,並已 完成約 70%二號機 EPROM 更換,但由於在8月25日DRS 通 知發現採用之 FID Checksum 程式有缺失無法確實執行 Checksum 偵 錯功能,因此所有機櫃模組卡片上的 FID EPROM 皆要重燒以載入更 正後的診斷程式,然後再重新安裝到二號機模組。

25



圖 9 在 FID EPROM 貼上版次標籤

2. 機櫃修改

依據 FDI 程序書 SC-004854/06 執行二號機機櫃修改,包括 Termination Assembly Modifications,Wiring Modifications, Module Modifications及 EPROM Updates。以DRS 廠家圖 FCAD(Final Cabinet Assembly Drawing)及 Load List 為基準,有增加/修改接線、 電組、保險絲、繼電器、模組和 EPROM 晶片等皆適用。一、二號機設 備各有 55 個機櫃需修改,同時也增加 16 張模組卡片,取消 3 張卡片。 另外 Division 0 亦將取消 8 張卡片。二號機機櫃修改部分已完成 70%, 也受到 FID Checksum 程式缺失及 EPROM 全部重燒影響而暫停。

3. VDU 軟體更新

依據FDI程序書SC-004854-04執行 Kernel 及 VAS Image 軟體載入到 5N132 VDU。VDU軟體由於 GE 設計文件修改以及

一號機設備 FAT 測試時發現 VDU 軟體缺失列入 FDI Open Item List 改善所產生 Kernel 及 VAS(VDU Application Software)新版軟體檔案,經 VDU Screen ATP 測試完成及 軟體構型管理(SCM)後安裝到二號機 VDU 設備上,二號機 共有 11 台 VDU 軟體須更新。

- ●記錄 KEP3921A-PFD 版次及 Kernel 版次到 FDI Data Sheet
- ●記錄 KEP3921M-DIVx-PFD 版次及 VAS 版次到 FDI Data Sheet
- ●導覽 VDU 顯示畫面到 Diagnostic Alarms,記錄 VDU Perform Net Node 號碼到 FDI Data Sheet.
- ●記錄 VDU UNIT No.(U1, U2, U0) 到 FDI Data Sheet.
- ●依程序書 KBD1317/14 Appendix A "Kernel and VAS Loading Methods"並採用 Option1:Load via Trivial File Transfer Protocol(TFTP)來載入 Kernel 和 VAS Image 檔 案到 VDU.
- ●QA 人員執行 Checksum 驗證並記錄在 FDI Data Sheet.
- ●在 VDU 控制卡片內之 Flash Disk 及 CPU 模組前端貼上 VDU Image 新版次標籤.
- ●VDU 送電,並觀察 LCD 狀態燈亮/CPU 燈滅.
- ●在 VDU 顯示畫面執行 Touch Screen Calibration 及 Configuration,選擇 Unit & VDU No.並核對 Perform Net Node 値、Kernel/VAS 版次。



圖 10. 在 VDU 控制器 CPU 模組前端貼上 VAS Image 版次標籤

貳、出國心得與感想

- 本次在 DRS 廠家執行設計修改 FDI 測試與設備更換,雖然進行 過程不甚順利, DRS 執行內部審查仍頗為確實,測試人員常被要 求不僅是表面通過測試更要注意符合設計要求。目前龍門一號 機 FDI 時程預定今年 10 月中,二號機設備交運則以今年 10 月 底為目標。
- 2. 由於龍門儀控採用大量數位控制系統,尤其是軟體方面在設計 發展生命週期中產生之大量輸出文件,DRS設計軟體中較可能會 面臨軟體修改的主要是涉及到控制邏輯 FID (Functional Interconnect Diagram)及顯示畫面之 VDU 軟體。此次在 DRS 見 證 FDI 修改測試,深感軟體方面專業欠缺,雖然 DRS 公司硬軟 體設計測試人員分工較細,儀控人員仍應加強軟體訓練才能掌 握龍門數位儀控技術。
- 3. 此次 DRS EPROM Checksum 診斷軟體建置作業問題 DRS 已針對此 項軟體作業缺失提出改善措施,然而軟體測試有時僅能執行 Black Box 測試,無法單靠廠家 Test Case 測試來發現缺失,必 須從軟體生命週期之設計、建置、測試等過程甚至使用階段層 層把關,因此確實執行現場整合運轉測試即是對安全軟體驗證 的最佳 Validation Test。

29

4. 在 DRS 所做的測試只能驗証 DRS 所實做的邏輯完全和 GE 設計一致 並無法完全檢查出 GE 邏輯的錯誤,尤其是 Closed Loop 部分。儀 控系統在廠家完成設計功能測試後交運現場安裝測試,幾乎很少可 不需要再修改的,必須配合現場界面系統整合測試進行相關調整。 DRS FID 邏輯設計有些參數設定點是可使用攜帶式診斷工作站(PDW)修改 的,待 Startup 測試穩定後再全部燒死。

參、建議事項

- DRS 已全面檢討改善因 EPROM Checksum 診斷軟體建置作業缺失導致 一、二號機所有 FID 邏輯晶片必須重燒及 FID Programming Station 軟體必須更新。雖然 GE 公司亦已提出肇因分析評估報告,本項議題 仍應列入本公司獨立審查小組 OIVVT 稽查項目。
- 2. DRS 一號機設備已陸續完成現場安裝即將送電進行測試,GE/DRS 也將 在十月中旬派人到工地進行硬軟體設備更新 FDI 作業。本公司應充分利 用廠家人員到現場執行 FDI 修改機會及 DRS TA 人員在工地協助系統設 備測試期間,充分配合參與以熟悉硬軟體設備安裝測試,俾能及早發現 並解決問題。